

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-7977

(P2003-7977A)

(43)公開日 平成15年1月10日 (2003.1.10)

(51)Int.Cl.⁷
H 0 1 L 27/10

識別記号
4 3 1
4 9 5

F I
H 0 1 L 27/10

デ-マコード(参考)
4 3 1
4 9 5
5 F 0 8 3

審査請求 未請求 請求項の数1 O L (全 24 頁)

(21)出願番号 特願2002-162551(P2002-162551)
(22)出願日 平成14年6月4日 (2002.6.4)
(31)優先権主張番号 0 9 / 8 7 5 5 7 2
(32)優先日 平成13年6月5日 (2001.6.5)
(33)優先権主張国 米国 (U S)

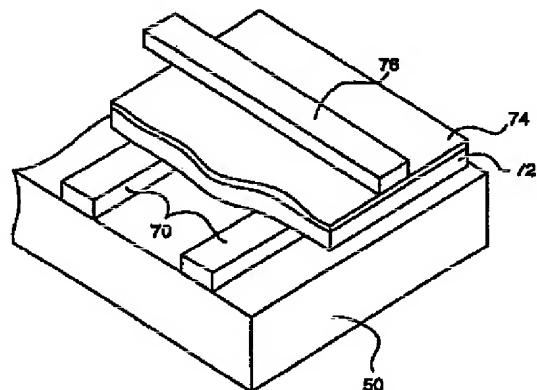
(71)出願人 398038580
ヒューレット・パッカード・カンパニー
HEWLETT-PACKARD COMPANY
アメリカ合衆国カリフォルニア州パロアルト ハノーバー・ストリート 3000
(72)発明者 カール・タウシグ
アメリカ合衆国カリフォルニア州94061,
レッドウッドシティ, アラメダ・デ・ラス・パルガス・2295
(74)代理人 100063897
弁理士 古谷 肇 (外3名)

最終頁に続く

(54)【発明の名称】 交点ダイオードメモリアレイをアドレス指定するための回路製造技術

(57)【要約】

【課題】交点 内の に するための 指定及び 回路の実現。
【解決手段】 (25)と 指定回路(30)が、電極導体の2つの層(70, 76)の交点に回路 (26)を作成することにより形成され、それらの2つの層は半導体材料の層(72)により分離される。交点に形成された回路は、の記憶として機能し、かつのを 指定するための置換型 指定機構用の接続部として機能する。 指定回路を構成するために、電極導体は、選択された回路 が増大した断面積または減少した断面積を有するように、選択された交点において制御された幾何学的形状でもって製作される。 電気信号を電極に印加することにより、選択された回路 の抵抗が電極の幾何学的形状に従って変化できる。



【特許請求の範囲】

【請求項1】 集積回路構造であって、

第1および第2の導線を有する第1の導体層(70)と、前記第1および第2の導線と交差する関係にある第3の導線を有する第2の導体層(76)と、及び少なくとも前記第3の導線が前記第1および第2の導線と交差する場所において、前記第1の導体層と前記第2の導体層との間に挿入される少なくとも1つの半導体材料を有する中間層(72、74)であって、それぞれ前記第1および前記第2の導線と前記第3の導線との各交差接合部において、前記中間層を介して第1および第2の回路接続エレメント(26)が形成される、中間層とからなり、前記交差接合部における前記第1の導線、前記第2の導線および／または前記第3の導線の幾何学的形状は、前記第1および第2の回路接続エレメントに所定の電気信号を印加する際に、前記第1の回路接続エレメントが、前記第2の回路接続エレメントと比較して抵抗値の永久的な大きい変化を受けるようになされる、集積回路構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はデジタルメモリ回路の分野に関し、とりわけ、交点ダイオードメモリアレイ内のメモリエレメントにアクセスするためのアドレス指定およびセンシング回路を製造する技術に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】現在、多くの民生用装置は、益々多くのデジタルデータを生成し、および／または利用するように構成されている。たとえば、スチール写真および／または動画用のポータブルデジタルカメラは、画像を表す大量のデジタルデータを生成する。各デジタル画像は、数メガバイト(MB)までのデータ記憶装置を必要とする場合があり、そのような記憶装置がカメラにおいて利用できなければならぬ。このタイプのデータ記憶の応用形態を提供するために、記憶メモリは、約10MB～1GB(ギガバイト)の十分な記憶容量を、比較的低コストで実現しなければならない。また、記憶メモリは低電力消費(たとえば、<<1W)で、比較的堅牢な物理的特性を有し、持ち運び可能なバッテリ駆動による環境に対処しなければならない。データ長期保存用記憶装置の場合、データは一度だけメモリに書き込まれる必要がある。

【0003】データ長期保存用記憶装置の1つの適切な形態が、「Non-Volatile Memory」というタイトルの同時係属中の米国特許出願09/875,356号(代理人整理番号HP10002367)に記載されており、その開示は参考により本明細書に組み込まれる。そこに開示されるメモリシステムは、データ長期保存用記憶装置のための低コストの大容量ライトワンスマモリを提供する。これは、シリコン基板を避け、プロセスの複雑さ

を最小限に抑え、面密度を小さくすることによりある程度実現される。そのメモリシステムは、プラスチック基板上に構成される集積回路層の積層されたスタック(stack)から形成されるメモリモジュールを含む。各層は、交点ダイオードメモリアレイを含み、アレイ内に格納されるデータの検出(センシング)は、メモリモジュールから遠隔位置にある別個の集積回路から実行される。種々のメモリモジュール層のアレイ内において全てのメモリエレメントに対するアドレス指定、読出しおよび書き込みを行うために、メモリモジュールとリモートセンシング回路との間にあまりにも多くの配線を有することを避けるために、多重化方式が必要とされる。

【0004】従来の集積回路では、多重化は、トランジスタから構成される論理ゲートによって達成される。トランジスタは必要とされる処理を増加させ、それにより製造コストも上昇することになるため、ダイオードベースの交点メモリアレイにトランジスタを含めることは望ましくない。付加的な処理の中には、交点アレイにおいて用いられる他の材料と適合しないものもある。たとえば、プラスチック基板または有機半導体を用いて交点メモリアレイを形成する場合、プラスチック基板または有機半導体は、トランジスタ製造のために必要な温度によって破壊される場合があるか、またはウエットエッチングプロセスにおいて使用されるある溶剤によって損傷を受ける可能性がある。最近、Lawrence Livermore Laboratoriesの研究者たちは、プラスチック基板上に薄膜トランジスタを製造することを実証しているが、ダイオードを製造するために必要とされる等価なプロセスに比べて、必要とされるプロセスが非常に複雑であり、それゆえコストが高くなる。

【0005】自動車の応用形態の場合の電力リレー、ならびに計測および自動検査装置用の小型信号スイッチングを含む多数の応用形態のために、静電式マイクロリレーが開発されている。静電式マイクロリレーシステムは、たとえば、Wong, Jo-Ey等による「An Electrostatically-actuated MEMS Switch for Power Applications」(Micro Electro-Mechanical Systems, 2000. MEMS'00. Thirteenth IEEE, 2000) およびZavracky, P.M., 等による「Micro-mechanical switches fabricated using nickel surface micro-machining」(Micro-electromechanical Systems, Journal of, 1997.6(1): p3-9) に記載されている。この技術の主な利点は、電力消費が少ないこと、および構成が簡単なことである。この種のスイッチはおそらく、メモリアドレス多重化回路に用いることができるが、これらの装置のための製造処理は依然として、ダイオードアレイのために必要とされる処理に比べてかなり多く、特に低接触抵抗が必要とされる場合にはそうである。

【0006】別のアドレス多重化の可能性、すなわちコードワードアドレス指定は、画素化されたディスプレイ

への相互接続を最小限に抑えるために用いられている多くのアプローチを含む。そのようなシステムが、たとえば、国際特許出願第WO98/44481号、および米国特許第5,034,736号の明細書に記載されている。一般に、コードワードアドレス指定には、アレイ電極に対するアドレス指定線の比と、選択された電極と選択されない電極との間のクロストークとの間にトレードオフがある。これらの解決策は、底が2の対数による配線の削減を提供しないが、4:1のクロストーク比を保持しながら、10:1以上の電極とアドレス線との比を提供することができる。2段の金属と抵抗ネットワークのみを含むため、これらの解決策は実施するのが簡単であるが、先に説明された厳密な多重化方式に比べて、所与の数のアドレス指定される線に対してより多くのアドレス線を必要とする。これらの方針のさらなる欠点は、アドレス指定されるメモリエレメントとアドレス指定されないメモリエレメントとの間に導入されるクロストークであり、そのクロストークによって、特定のメモリエレメントに対する読出しおよび書き込みが難しくなる。

【0007】

【課題を解決するための手段】本発明の原理によれば、第1および第2の導線を有する第1の導体層と、第1および第2の導線と交差する関係にある第3の導線を有する第2の導体層とからなる集積回路構造が提供される。第1および第2の導線と第3の導線とのそれぞれの交差接合部において中間層を通る第1および第2の回路エレメントを形成するように、少なくとも第3の導線が第1および第2の導線と交差する場所において、少なくとも1つの半導体材料を有する中間層が第1の導体層と第2の導体層との間に介在する。交差接合部における第1の導線、第2の導線および/または第3の導線の幾何学的形状は、第1および第2の回路接続エレメントを流れる所定の電気信号を印加する際に、第1の回路接続エレメントが、第2の回路接続エレメントと比較して抵抗値の永久的な大きい変化を受けるようになれる。

【0008】第1の導線、第2の導線および/または第3の導線の幾何学的形状は、前記所定の電気信号が、第2の回路接続よりも大きな電流密度を、第1の回路接続にもたらすように構成されることが好ましい。

【0009】本発明の好適な形態では、第1の導線、第2の導線および/または第3の導線の幾何学的形状は、第2の導線および/または第3の導線の幅が、その交差接合部の領域において、第1の導線および第3の導線の交差接合部と比べて広くされるように構成される。

【0010】本発明の一形態では、前記所定の電気信号を印加した後に、第1の回路接続エレメントは、第2の回路接続エレメントより著しく高い抵抗を有する。

【0011】本発明の他の一形態では、前記所定の電気信号を印加した後に、第1の回路接続エレメントは、第2の回路接続エレメントより著しく低い抵抗を有する。

【0012】回路接続エレメントは、中間層に形成されるダイオードを含むことが好ましい。

【0013】また、本発明は、集積回路接続エレメントを形成する方法も提供する。第1の導線、第2の導線および第3の導線が形成され、第1および第2の導線は第3の導線と交差し、少なくとも1つの半導体材料を有する層によって分離され、それぞれ第1および第2の導線と第3の導線との交差接合部においてその層を通る第1および第2の回路接続エレメントが形成される。交差接合部における第1の導線、第2の導線および/または第3の導線の幾何学的形状は、第1および第2の回路接続エレメントに所定の電気信号を印加する際に、第1の回路接続エレメントが、第2の回路接続エレメントと比較して永久的な大きい変化を受けるように制御される。

【0014】本発明の一形態では、第1の導線、第2の導線および/または第3の導線の幾何学的形状は、第1の回路エレメントを形成する交差接合部の断面積が第2の回路エレメントを形成する交差接合部の断面積より小さく、所定の電気信号が、第2の回路エレメントに比べて著しく大きな電流密度を、第1の回路エレメントにもたらすように制御される。

【0015】第1の導線および/または第3の導線の幅は、第1の回路エレメントを形成する交差接合部の領域において狭くされることが好ましい。

【0016】第1および第2の回路エレメントはそれぞれ、前記層内に形成されるダイオードを含むことが好ましい。

【0017】本発明によれば、第1の導線を形成することと、その第1の導線と交差するように配列される複数の第2の導線を形成することとを含む、回路を形成するための方法もさらに提供される。第1および第2の導線は、少なくとも1つの半導体材料を有する層によってその交点において分離される。第1の導線および/または第2の導線の幾何学的形状は、第1の導線と第2の導線との間に所定の電気信号が印加されることにより、その幾何学的形状にしたがって、その交点において前記層内に実質的に永久的な相対的变化がもたらされるように制御される。

【0018】その幾何学的形状を制御することは、その交点において第1の導線および/または第2の導線の幅を制御することを含む。たとえば、導線の幅は、複数の前記交点の第1および第2の導線の重なり合う領域が、大きな面積の交点と小さな面積の交点とからなるように制御され得る。

【0019】好適な実施形態では、所定の電気信号の結果として、小さな面積の交点間の領域において、層は永久的に大きな抵抗変化を受ける。

【0020】本発明によれば、アレイ電極線を有する交点メモリアレイのためのアドレス指定回路がさらに提供され、そのアドレス指定回路は、アレイ電極線と交差す

るよう配列された少なくとも1つのアドレス線を含み、アレイ電極線および少なくとも1つのアドレス線は、少なくとも1つの半導体材料を有する層によって個々の交差接合部において分離され、回路エレメントが前記接合部において層を通って形成され、少なくとも1つのアドレス線および/またはアレイ電極線の幾何学的形状はその接合部において、回路エレメントに所定の電気信号が印加されることにより、その幾何学的形状にしたがって、選択的な回路エレメントの抵抗が著しく変化するように構成される。

【0021】その構成の幾何学的形状は、接合部において、少なくとも1つのアドレス線および/またはアレイ電極線のうちの少なくとも1つの広くされた部分または狭くされた部分を含むことができる。

【0022】その回路エレメントは、前記層によって形成される個々のダイオードを含むことが好ましい。

【0023】好適な実施形態では、狭くされたアドレス線および/またはアレイ電極線の接合部において形成された回路エレメントが、所定の電気信号の印加の結果として、抵抗の大きな変化を受ける。

【0024】本発明はさらに、アドレス指定回路を形成する方法も提供する。その方法は、第1の組の導線を形成することと、その第1の導線を横切る第2の組の導線を形成することとを含み、前記第1および第2の導線はそれぞれ、第1および第2の組からの導線が少なくとも1つの半導体材料を有する層によって分離される交差接合部を有するようになっている。第1の導線および/または第2の導線の幾何学的形状は、前記交差接合部が、種々の幾何学的形状を有する第1および第2の組の接合部を含むように制御される。その方法はさらに、第1および第2の導線に所定の電気信号を印加することを含み、それにより第1組の交差接合部において電気抵抗の永久的に大きな変化が生じ、第2の組の交差接合部においては生じない。

【0025】好適には、その幾何学的形状を制御することは、交差接合部のうちの選択された接合部において、第1の導線および/または第2の導線の幅の狭い部分を形成することを含む。

【0026】

【発明の実施の形態】本発明は、添付の図面に関連して、その好適な実施形態の説明を通して単なる例示のために、以下にさらに詳細に説明される。

【0027】本明細書では、ライトワームメモリ回路、記憶システム、アドレス指定およびセンシング回路、ならびにそのような回路およびシステムを製造し、実施し、かつ利用するための方法が開示される。以下の記載では、説明の目的上、本発明を完全に理解できるようにするために、特定の学術用語および特定の実施の詳細が記載される。しかしながら、これらの特定の細部が、本発明を実施するために必ずしも必要とされることは当

業者には明らかであろう。

【0028】以下の説明では、「データ」という言葉が参照される場合、そのような「データ」は、その文脈に応じて種々の態様で表現される場合があることは理解されるであろう。一例として、メモリセル内の「データ」は、電圧レベル、磁気状態、あるいはたとえば、センシング回路に対する電圧または電流レベル、あるいは変化のような測定可能な作用を与える、電気抵抗のような物理的特性によって表わされる場合がある。一方、バス上に存在する間、あるいは伝送中には、そのような「データ」は、電流または電圧信号の形をとる場合がある。さらに、本明細書において、大部分の状況における「データ」は、実際には主に二値であり、便宜上、「0」あるいは「1」の状態によって表わされるものとして言及される場合があるが、二値状態は実際には、相対的に異なる電圧、電流、抵抗等によって表わされる場合があり、一般には、具体的な実際の現れが「0」であるか、「1」であるかは重要ではないことは理解されるであろう。

【0029】本発明の好適な実施形態は、先に引用された同時係属中の米国特許に記載されるメモリシステムにおいて用いられるタイプの交点ダイオードメモリアレイのアドレス指定回路、それを形成する方法およびアドレス指定する方法を含む。それゆえ、本発明を完全に理解できるようにするために、以下の詳細な説明は、そのようなメモリシステムに関連して与えられるが、本発明が、記載された構造への適用に限定されることは当業者には理解されるであろう。

【0030】ライトワームメモリシステムとりわけデジタルカメラおよびポータブルデジタルオーディオ装置のような応用形態においてデータ記憶のために特に有用な携帯型で、廉価で、堅牢なメモリシステムが、図1にロック回の形で示されるメモリカード10によって具現化される。そのメモリシステムは好適には、業界標準のポータブルインターフェースカード（たとえば、PCMciaまたはCF）に組み込まれ、そのようなインターフェースを有する既存のおよび将来の製品において用いることができるようになっている。メモリカード10は、カード10とそれが結合される装置2との間で通信を行うためのI/Oインターフェースコネクタ12を有する。インターフェースコネクタは、インターフェースおよび制御回路14に結合され、その回路14は取出し可能なメモリモジュール20に接続される。メモリモジュール20は、ライトワームデータ記憶装置のための回路を提供する。インターフェースおよび制御回路14は、カードに収容される際の取出し可能な各メモリモジュール20のための制御、インターフェース、検出、誤り訂正符号（ECC）等のための回路を含む。メモリモジュール20は、メモリカード内のソケット等に収容されており、そのためそこから取り外し、別のメモリモジ

ュール20と置き換えることもできる。メモリカードに収容される際、メモリモジュール20は、内部インターフェース16を介して、インターフェースおよび制御回路14に結合される。

【0031】ライトワニスデータ記憶は、実質的に、そのメモリにデータを一度しか書き込むことができず、それ以降、データは変更されないままであることを意味する。多くの形態のライトワニスメモリでは、内部に格納されるデータが、最初に書き込まれた後に全く変更できないということが厳密には当てはまらないが、一般にはデータを勝手に変更することができないことは当業者には理解されるであろう。たとえば、大部分のライトワニスメモリは、各メモリセルが第1の二値状態（たとえば、二値データ「0」を表す）で製造され、書き込み動作中に、選択されたメモリセルが、第2の二値状態（たとえば、二値データ「1」を表すため）に変更される。多くの場合、第1の二値状態から第2の二値状態へのメモリの変化は不可逆的であり、一旦、データ「1」が書き込まれたなら、そのデータをデータ「0」に戻すことはできない。これは、データがメモリに書き込まれた後に行われ得る、格納されたデータに対する変更を制限しており、この場合、任意のデータが一度しか書き込まれることができず、それ以降、たとえばデータ「0」はデータ「1」にだけ変化することができ、逆に行うこととはできない。

【0032】メモリモジュール20はライトワニスメモリを含むため、それは長期保存用データ記憶装置に適しており、この場合、データが一旦格納されれば、そのデータが保存される。これは、一度だけ写真が記録され、現像されたフィルムが永久に記録として保持される、写真フィルムにやや似ている。それゆえ、一旦、メモリモジュール20が最大容量までデータで満たされたなら、さらにデータを記憶するために別のモジュールが必要とされる。装置2内のメモリカード10を丸ごと単に交換することはできるが、それは、インターフェースおよび制御回路、ならびにメモリカード構造が、メモリモジュールとともに保存されることを意味する。データ記憶コストを削減するために、メモリシステムの再利用可能で、比較的高価なコンポーネントが実際の記憶メモリに永久に結合されないことが望ましく、そのため、好適な実施形態では、メモリモジュール20はメモリカード10から取り出すことができる。したがって、メモリカード10の大部分が一度限りのコストを含み、以下にさらに説明されるように、その中に挿入するためのメモリモジュール20が安価に製造される。

【0033】制御/インターフェース回路14は、誤り訂正（ECC）および欠陥管理機能、ならびにメモリモジュール20を動作させるために必要とされる機能をさらに含む、「AT」式ディスクコントローラ回路に似ている。これらの機能は、以下のことを含む。すなわち、

- ・書き込み電圧設定、書き込みイネーブル線設定、および電源ストライピングの制御を含むメモリモジュールへの書き込み、

- ・論理アドレスを、物理的なメモリの記憶場所にアクセスするために必要とされるアドレス線パターンに変換することによるメモリのアドレス指定、

- ・センス線出力のデータ読み出し処理、

- ・必要とされる場合にはパラレル/シリアル変換。

【0034】また、制御/インターフェース回路14は、データファイルの論理的削除等のような、書き換え型メモリカードのある機能をエミュレートするための機能も提供できる。インターフェース/制御回路14のそのような機能は、たとえば、カスタム集積回路で難なく実施され得る。先に概説された必要な機能の詳細は、メモリモジュール20自体の構造および動作に関する以下の説明から、より完全に理解されるようになるであろう。

【0035】メモリカード10においてインターフェース/制御回路14とメモリモジュール20との間を結合するために、内部インターフェース16が設けられる。物理的には、内部インターフェース16はメモリモジュールを収容し、インターフェース/制御回路とメモリモジュールとの間の電気接続を提供する。したがって、プラグおよびソケット構成の適切な形態が用いられるが、最も適した構造は、作成されるべき接続部の実際の数に大きく依存する。メモリモジュール上の接続用接点が、たとえば、以下に説明されるように、その外面上に形成され、エッジ接続方式あるいはランドグリッドアレイ（LGA）接続を可能にする。さほど難しくなく実施するための多種類の接続方式が実現可能であることは当業者には理解されるであろう。

【0036】ライトワニスメモリモジュールメモリモジュール20は、データ記憶の単位当たりの低コストを提供するように、本発明の原理を利用して、低コストで構成され得る。大きな記憶容量を達成しながら、メモリコストを低く維持するために、材料および処理コストのようないくつかの要因に対処した。メモリモジュールのそのような特徴は、以下の記載において説明され、はじめにメモリモジュール20の一般的な構造が説明される。

【0037】インターフェースおよび制御回路14に結合されるメモリモジュール20の概略的なブロック図が図2に示される。所与の基本エリアに対するメモリモジュールの記憶容量を高めるために、モジュール20は積層された層22のスタックから構成される。各層22は、データ記憶を行うメモリエレメントのアレイ25を有する。また、層はそれぞれ、各メモリアレイを、メモリシステム内部インターフェース16を介してインターフェースおよび制御回路14に結合するアドレス指定回路30も含む。各層上のアドレス指定回路によって、メモリモジュールの層間の、およびメモリモジュールから

外部回路への相互接続導体を削減できるようになり、製造を容易にし、ひいてはコストが削減される。

【0038】図3は、メモリモジュールにおける回路および層の実現可能な物理的構成を示す、メモリモジュール20の切開等角図である。各層22は、基板50上に形成されたメモリアレイ25およびアドレス指定回路30を備える。メモリアレイ25は、メモリエレメント26のマトリクスからなる。アドレス指定回路30は、メモリアレイ25のそれぞれ直交するエッジに隣接して配置される列および行多重化回路部分を含む。また、入力／出力(I/O)リード40も、製造プロセス中に基板上に形成される。メモリモジュール20では、行I/Oリードは、行多重化回路部分から、基板の第1の隣接するエッジまで延び、列I/Oリードは、列多重化回路部分から基板の第2の隣接するエッジまで延びる。各リード40は、各接触パッド42において末端をなし、その一部が基板50のエッジにおいて露出される。

【0039】複数の層22が同じ向きに積重され、互いに積層される。電気接触は、積重された層の接触パッド42の露出された部分に対して導電性接触要素55によって行われ、それが図3の部分切開図に示される。接触要素55は、個々の層22の平面を横切って、メモリモジュール20の側面に沿って延びる。図示のような各接触要素55は、スタック内における複数の層の個々の接触パッドと電気的に接触する。接触要素55を用いて、メモリモジュール20を、メモリシステム内部インターフェース16を介して、インターフェースおよび制御回路14に結合することができる。

【0040】メモリモジュールの好適な実施形態では、各層22のための基板50は、プラスチック(たとえば、ポリイミド、ポリエチル)あるいは金属(たとえば、誘電体をコーティングしたステンレス鋼のフィルム)のような薄い安価な材料から形成される。基板上に集積回路(たとえば、メモリアレイおよびmux/de mux回路)が形成されるプロセス、およびメモリモジュールへ組み立てられる層が、以下にさらに詳細に説明される。しかしながら、製造プロセスおよび材料に関する先の説明は、メモリモジュール回路、特に、メモリアレイおよびメモリエレメント、ならびに集積された多重化体系の1つの説明である。

【0041】ライトワーンスメモリアレイメモリエレメント26のアレイ25は、メモリモジュール20内の各層上に形成される。メモリアレイは、各列／行の交点においてメモリエレメントを有する、列線および行線の規則的なマトリクスを含む。図4は、列線60および行線62を有するメモリアレイ25の一部の概略図を示す。各列線と各行線との間にはメモリエレメント26が結合され、それは、図4において、図面の拡大された部分にさらに詳細に示される。メモリアレイの好適な実施形態では、各メモリエレメント26は、概してダイオードエレ

メント66と直列に結合されるヒューズエレメント64からなる。ヒューズエレメント64は、メモリエレメントの実際のデータ記憶作用を提供し、一方、ダイオードエレメント66は、データを書き込み、かつ読み出すための行および列線を用いて、メモリエレメントのアドレス指定を容易にする。

【0042】メモリアレイ25の動作は以下の通りである。製造時に、各メモリエレメント26は、導電性のヒューズエレメント64を有する。ヒューズエレメントの導通状態は、1つの二値データ状態、たとえばデータ「0」を表す。メモリアレイにデータを書き込むために、データ「1」を格納することが望まれる各メモリエレメントは、列および行線を用いてアドレス指定され、その中のヒューズエレメントが「溶断され」、非導通状態になる。ヒューズエレメントの非導通状態は、他の二値データ状態、たとえばデータ「1」を表す。ヒューズエレメントを溶断することは、ほとんどの場合、不可逆的な動作であり、それにより、上述のように、メモリは「ライトワーンス」記憶装置になる。データ書き込み動作(たとえば、選択されたメモリエレメントにデータ「1」を書き込むこと)は、選択された行線から選択された列線に所定の電流、たとえば、その行／列線を直接的に相互接続するメモリエレメントのヒューズを溶断するのに十分な電流を印加することにより実行され得る。その列および行線を用いてメモリエレメントをアドレス指定し、メモリエレメントが導通状態(データ「0」)であるか、非導通状態(データ「1」)であるかを検出することにより、メモリアレイからデータを読み出すことができる。より一般的には、メモリエレメントの二値データ状態は、「導通」抵抗と「非導通」抵抗との間のある比率によって区別される。

【0043】理解されるように、上記の説明は、低抵抗状態で製造され、高抵抗状態を形成するために溶断される、メモリアレイ内のヒューズエレメントに言及するが、反対に動作する「アンチヒューズ」エレメントを用いて、同様にメモリアレイを作成することもできる。その場合、メモリエレメントは、高抵抗状態で製造され、低抵抗状態を形成するために溶断される。各メモリエレメント内のアンチヒューズも、上記の理由から、ダイオードと直列に形成される。アンチヒューズが溶断された後にダイオード機能が必要とされるため、この場合、ダイオードおよびアンチヒューズは独立している。

【0044】ヒューズまたはアンチヒューズエレメントのための必須特性は、その抵抗が、不可逆的に、またはある臨界電流閾値においては可逆的に、高状態と低状態との間で変化することである。抵抗の変化は十分に大きく、すなわち数桁の大きさでなければならない。ヒューズの臨界電流は、デバイスの面積によっても制御可能である。デバイスの面積は単に、行および列電極の交差部分の面積によって決定され得るか、あるいはリソグラフ

ィによって画定され得る。ヒューズおよびダイオードエレメントは、行電極と列電極との間に直列に堆積される多数の薄膜から形成され得る。個々のメモリエレメントは、行電極および列電極の交差部分に生じる。ヒューズおよびダイオードの層は、全面積を覆う連続した薄膜として堆積されるが、それらは、個々のデバイス間のクロストークを最小限に抑えるために、多数の手段（レーザアブレーション、フォトリソグラフィ、ソフトリソグラフィ）によってパターニングされる場合もある。

【0045】アレイの各メモリエレメント26のダイオードエレメント66は、データを書き込み、かつ読み出すために、列および行線を用いて一意にそのメモリエレメントをアドレス指定するのを助ける。行／列の交点メモリエレメントにダイオードがない場合、所与の列線と行線との間に多くのメモリエレメントを通る電流経路が存在することになる。しかしながら、各メモリエレメントを通る一方の導電経路を形成するダイオードエレメントを用いる場合、1つの列線および1つの行線を用いて、1つのメモリエレメントを一意にアドレス指定することができる。言い換えると、1つの行線から1つの列線への回路を形成することにより、電流は、1つのメモリエレメントのみを流れることができる。その回路を介して所定の「データ書き込み」電流を印加することにより、メモリエレメント内のヒューズが溶断され、データ「0」をデータ「1」に変化させることができる。また、回路の抵抗を検出することにより、メモリエレメントのヒューズが溶断されたか無傷であるかを判定し、それによりデータ「1」、またはデータ「0」を読み取ることができる。

【0046】したがって、ダイオード66は、読み出しおよび書き込み動作中にメモリアレイ内のメモリエレメント間のクロストークを除去する。さらに、ダイオードの非線形電流-電圧（I-V）特性が、データ検出の信号対雑音比（SNR）を改善し、リモートでの検出およびコードワードアドレス指定を助ける。メモリモジュール内のデータは、センシング回路がインターフェースおよび制御回路14内にあり、その回路14が別個の集積回路内に収容されるため、リモートで検出される。また、メモリモジュール20とインターフェースおよび制御回路14との間の必要とされる接続の数を低減するために、以下に説明されるようなmux/demux回路を用いてメモリエレメントのアドレス指定に関して、置換型ダイオードロジック（permuted diode logic）が用いられる。

【0047】メモリアレイは、その構造に鑑みて、交点アレイメモリと本明細書で呼ばれる場合もあり、図5は、好適な実施形態のメモリアレイの単位セルの簡略化された平面図である。交点アレイメモリの基本構造は、間隔をおいて配置される平行な導体の直交する組からなる2つの層を含み、その間には半導体層が配置される。

2組の導体は、厳密に1つの場所において、各行電極が各列電極を横切るように重なり合う行電極および列電極を形成する。これらの各交点において、半導体層（図5の75）を介して、行電極（図5の62）と列電極（図5の60）との間に1つの接続部が形成され、半導体層が、直列のダイオードおよびヒューズのように作用する。アレイ内のダイオードは全て、全ての行電極と全ての列電極との間に共通の電位が印加される場合には、全てのダイオードに同じ方向にバイアスがかかるように配置される。ヒューズエレメントは、臨界電流がそれを流れる際に回路を開く別個のエレメントとして実現され得るか、あるいはダイオードの働きに組み込まれ得る。

【0048】一般に本明細書では、半導体層（たとえば75）は単層で言及されるが、実際には、種々の材料からなる複数の層が用いられ得る。それらの層は、種々の構成の金属、さらには誘電体のような半導体以外の材料を含む場合もある。所望の機能を実施するのに適した材料および構造が、他の場所で詳細に説明される。

【0049】図6は、交点ライトワントンスダイオードメモリアレイの概略図である。その図面には、8行×8列のアレイが示される。図示のように（すなわち、-Vである1つを除く全ての列電極は電位Vであり、Vである1つを除く全ての行電極が-Vである）、行電極および列電極に電圧が印加される場合、1つのダイオードのみに順方向バイアスがかけられる。図6に示される場合、アレイの左上角のダイオード（90）のみに順方向バイアスがかけられる。一番上側の行および最も左側の列内のダイオードにはバイアスがかからず、アレイ内の残りのダイオードには逆方向バイアスがかかる。これは、そのアレイに対するアドレス指定方式を構成する。これらの電位にある電極を有する行と列との間に電流が流れる場合には、左上のダイオードのヒューズは無傷である（たとえば、データ「0」を表す）。逆に、この構成内に電流が流れない場合には、対応するダイオード／ヒューズは溶断されている（たとえば、データ「1」を表す）。アレイ電極に印加される電圧の振幅を調整することにより、選択されたダイオードに、より多くの電流を流すことができる。この電圧によって、ヒューズの閾値電流より大きい電流が生じる場合には、ヒューズを溶断し、メモリエレメントの状態を変化させることができる。これは、メモリに書き込みを行うための方法を構成する。

【0050】メモリアレイ内のヒューズを溶断するためには必要とされる実際の電流（あるいは、その電流を達成するために印加される電圧）は、製造時に予測可能であり、かつ制御可能でなければならない。有効な要因になるのはメモリエレメントを流れる電流密度であるため、エレメントを溶断するために印加される電圧／電流は、そのエレメントの接合面積を変更することにより調整され得る。たとえば、交点電極の交点の断面積が低減される場合には、臨界電流密度に到達し、ヒューズを溶断す

るために印加される必要がある電流／電圧も小さくなる。この方式は、制御電圧を確実に印加して所望の交点ヒューズのみを溶断できるようにするために、メモリ回路の設計および製造において用いることができる。

【0051】メモリアレイアドレス指定回路

メモリモジュールに対する相互配線を簡略化するために、メモリエレメントにアクセスするための多重化されたアドレス指定方式を用いることが望ましい。言い換えると、メモリアレイ内の各メモリエレメントが、そのアレイの行線および列線の全数より少ないアドレス指定線を介して、外部回路から一意にアドレス指定可能であることが望ましい。このため、多重化(mux)／逆多重化(demux)回路要素(30)は、メモリアレイと同じ基板上に収容される。好適には、mux/demux回路は、メモリアレイと互換性のあるロジックファミリから構成されるため、簡単な製造プロセスが継続され得る。実際に、以下に説明されるように、メモリアレイで使用されるものと同じ種類の簡単なデバイスを用いて mux/demux回路を構成することができる。

【0052】好適な実施形態では、アドレスの多重化／逆多重化の機能は、以下に説明される、置換型ダイオードロジックと呼ばれるロジック方式を用いて実行される。図7は、直列のヒューズおよびダイオードによって表される1つのライトワーンスメモリエレメント102を示す。メモリエレメント102は、行電極104と列電極106との間に結合される。行アドレスダイオード論理回路110は行電極104に結合され、列アドレスダイオード論理回路120は列電極106に結合される。図示のような行アドレス回路110は、行電極とフルアップ電圧+Vとの間に結合される抵抗エレメント112を含む。また、行アドレス回路110は、行電極に結合されるアノードと、X、Y、Zによって表される各行アドレス入力電圧によって制御されるカソードとを有する複数の行デコードダイオード114も含む。列アドレスダイオード論理回路120も同様に構成され、抵抗エレメント122が列電極106とフルダウン電圧-Vとの間に結合される。複数の列デコードダイオード124は、列電極に結合されるカソードと、A、B、Cによっ

列電極アドレスノード接続

| A ₁ | A ₂ | B ₁ | B ₂ | C ₁ | C ₂ |
|----------------|----------------|----------------|----------------|----------------|----------------|
| G ₀ | G ₄ | G ₀ | G ₁ | G ₀ | G ₂ |
| G ₁ | G ₅ | G ₂ | G ₃ | G ₁ | G ₃ |
| G ₂ | G ₆ | G ₄ | G ₅ | G ₄ | G ₆ |
| G ₃ | G ₇ | G ₅ | G ₇ | G ₅ | G ₇ |

【0056】

て表される各列アドレス入力電圧によって制御されるアノードとを有する。

【0053】最初に、行アドレス入力電圧(X、Y、Z)のために+Vおよび-(V+△V)の論理レベルが用いられる、行アドレス回路110を考察する。電圧+Vが論理「1」を表す場合、行アドレス回路110は、入力としてダイオードカソード(X、Y、Z)を有し、出力として行電極104を有するANDゲートのように動作することは明らかであろう。行電極104は、3つ全ての行アドレス入力(X、Y、Z)が高の場合にのみ高(+V)になる。同様に、列アドレス回路120は、負論理のANDゲートのように動作する。この場合、-Vおよび-(V+△V)の論理レベルが列アドレス入力(A、B、C)に加えられる場合には、列電極106の出力は、3つ全ての入力が-Vであるときのみ-Vになる。行アドレス入力(X、Y、Z)が全て、+Vのカソード電圧をダイオード114に印加し、列アドレス入力(A、B、C)が全て、-Vのアノード電圧をダイオード124に印加する場合には、メモリエレメント102が選択される。図7には3つの入力回路しか示されないが、このアドレス指定方式は、任意の数の入力を含むように拡張され得る。

【0054】図8は、上述のようにメモリエレメントをアドレス指定するために結合される行および列電極を有する8×8のライトワーンスメモリアレイ150を概略的に示す。参照のために、メモリアレイ150の列電極はG₀～G₇と表示され、行電極はH₀～H₇と表示される。3つのアドレス指定グループが、行(X、Y、Z)および列(A、B、C)にそれぞれ設けられる。各アドレス指定グループは、2つの相補的なアドレス指定ノード(たとえば、A₁およびA₂)を有し、各ノードは8個の対応する行/列電極のうちの4つに結合される。ノードと行/列電極間の接続パターンは、各アドレス指定グループに関して異なる。図8の例では、接続パターンは以下の通りである。

【0055】

【表1】

【表2】

行電極アドレスノード接続

| X ₁ | X ₂ | Y ₁ | Y ₂ | Z ₁ | Z ₂ |
|----------------|----------------|----------------|----------------|----------------|----------------|
| H ₀ | H ₄ | H ₀ | H ₁ | H ₀ | H ₂ |
| H ₁ | H ₅ | H ₂ | H ₃ | H ₁ | H ₃ |
| H ₂ | H ₆ | H ₄ | H ₅ | H ₄ | H ₆ |
| H ₃ | H ₇ | H ₆ | H ₇ | H ₅ | H ₇ |

【0057】列電極と列アドレス指定ノードとの間の接続はそれぞれ、152で示されるように結合されるダイオードを含み、行電極と行アドレス指定ノードとの間の接続はそれぞれ、154で示されるように結合されるダイオードを含む。これらのダイオードの大部分は、必要に複雑にしないように図8には示されない。この例におけるトポロジは、アレイ内の電極の一端に全て接続されるアドレス線を示すが、アドレス線は、電極の一端あるいは両端（アレイの側面）に容易に接続することができる。

【0058】メモリアレイ150は、アドレス指定ノード（A₁、A₂等）において電圧を印加することによりアドレス指定される。各アドレス指定グループからの1つのみのノードにおいて、イネーブル電圧が印加される。これにより、アレイ150からの1つのメモリエレメントが、図7に関連して上述された態様で選択されることが可能になる。

【0059】多数のメモリモジュール層にわたるアドレス指定

アドレス指定されるメモリエレメントの状態を検出するための上述のシステムは、アドレス指定されるダイオードメモリエレメントが行電極と列電極との間の唯一の電流経路であることに依存する。しかしながら、メモリモジュールにおいて並列のアドレス指定が用いられる場合には、これは、行アドレス線と列アドレス線との間に2つ以上の導電経路が存在する可能性を生み出し、そのセンシング方式を用いる際に問題を生じる。したがって、アドレス指定されたメモリエレメントの状態を検出するための改善された方法およびシステムが以下に提供される。

【0060】上述のように、本明細書に開示されるメモリモジュールの好適な構造は、複数の層のスタック（積層体）からなる。各層は、ライトワنسメモリアレイを含み、種々の層のメモリアレイが共通のアドレス指定線を共有し、外部回路に必要な接続の数を低減できるようになる。それゆえ、所与のアドレスが1つのアレイにおいて1つのメモリエレメントを一意にアドレス指定する場合であっても、複数の並列アドレス指定されるアレイにおいて、各層に1つずつ複数のメモリエレメントがアドレス指定される。これは別の2つの理由により望ましい。第1に、m個の層を並列に読み出すことができることにより、所与のシリアルビット速度を達成するために必要とされる読み出しおよび書き込み速度がm分の1になる。第2に、メモリの各層のために別個のアドレス線が

必要とされる場合には、層間、およびメモリモジュールからインターフェースおよび制御回路への接続の数を取り扱うのが難しくなる。

【0061】並列アドレス指定の問題に対する好適な解決策は、アドレスダイオードが接続されるのと同じノードにおいて、各行電極および／または列電極にセンスダイオードを追加することを含む。各行センスダイオードの他の端部は、共通行センス線に接続され、同様に、各列電極に接続されない各列センスダイオードの端部は、共通列センス線に接続される。アドレス指定されたメモリエレメントの状態は、行センスダイオード、または列センスダイオードのいずれか一方、あるいはその両方から検出され得る。好適なアレイ構成の対称性を考慮して、以下の説明から、行および列電極が実際には機能的に等価であることは理解されるであろう。

【0062】アドレス指定されるメモリビットの状態は、センス線を介して、適切に選択されたバイアス点まで流れる電流によって判定される。電流がいずれかのセンス線を流れるために、2つの条件が満足されなければならない。すなわち、（1）ダイオードメモリエレメントがアドレス指定されなければならないこと。（2）そのエレメントのヒューズが高抵抗状態でなければならないことである。ダイオードがアドレス指定されない全ての他の場合には、ヒューズの状態に関係なく、対応する行および／または列のセンスダイオードに順方向バイアスはかかるらず、電流は流れないのである。それゆえ、1つのセンス線が全ての行（または列）電極に接続され、行および列アレイ内の1つのメモリエレメントがアドレス指定される場合には、そのメモリエレメントの状態は明確に判定され得る。

【0063】行および列センス線を用いることにより、読み出しプロセスの速度を低下させることなく、それゆえ信号検出マージンを改良することなく、冗長性が与えられる。また、行または列電極のいずれかにセンス線を追加することによって、および／またはセンス線と行または列電極との間の接続に並列に余分なダイオードを追加することによっても、冗長性を追加できることに留意されたい。

【0064】図9は、上述の技術を用いるアドレス指定およびセンシング回路250の概略図を示す。ライトワنسメモリアレイからの複数のメモリエレメント260が示されており、上述のようにメモリアレイをアドレス指定するように構成される各行および列アドレス指定回路270、280に結合される。また、回路250は、

共通行センス線274および共通列センス線284も含む。共通行センス線274は、各行センスダイオード272を介して、メモリアレイ行電極のそれぞれに結合される。とりわけ、各ダイオード272は、対応する行電極に結合されるアノードと、共通行センス線に結合されるカソードとを有する。同様に、列センスダイオード282は、共通列センス線284から、メモリアレイの各列電極に結合される。ダイオード282のカソードは各列電極に結合され、そのアノードは共通列センス線に結合される。

【0065】図示の例では、中央のメモリエレメント(262)がアドレス指定される。これは、メモリエレメント262が、アドレス指定回路によって選択される行および列電極の両方に結合されるエレメントだからである。図に示されるように、メモリエレメント262はアドレス指定回路に対応し、その回路では、電圧が印加されることに起因して、その行または列アドレスダイオードがいずれも導通しない。メモリエレメント262のヒューズが溶断される場合には、センスダイオード272、282の両方を介して、行および列センス線274および284に電流が流れるであろう。中央のメモリエレメントが無傷である場合には、アレイ内における任意の他のエレメントのヒューズ状態に関係なく、いずれのセンス線にも電流は流れないのである。その場合には、アドレス指定されたメモリエレメントに対応するセンスダイオードに電流が流れず、そのアドレス指定方式がアドレスダイオードのうちの少なくとも1つが確実に導通状態になるようにし、それにより、対応するセンスダイオードに逆方向バイアスがかけられることが保証されるので、全ての他のメモリエレメントは選択されない。

【0066】専用のセンスダイオードを用いる上述の検出方式の場合、個々のデータダイオードの漏れは検出の観点からは特に重要ではなく、より重要なのは、アクティブなセンス線上にある、イナクティブなセンスダイオードの漏れ電流である。N個のエレメントからなるアレイの場合、各センス線上に $N^{1/2}$ 個のセンスダイオードが存在することになるため、特に、約 10^6 の整流比を有するダイオードの場合に、適度な数の電源ストライプによって、この問題を取り扱うことができる問題にことができる。

【0067】アドレス指定回路の製作

交点ダイオードアレイは、パターニングされた金属層が堆積される基板材料からなる。この層は、行または列電極層である。次に、半導体層が付着される。理想的には、この層は、パターニングされる必要のない材料から形成されるが、ダイオード間隔、膜厚および材料特性によっては、パターニングが必要とされる場合がある。以下の説明の目的上、半導体層のパターニングは必要とされないものと仮定される。最後に、第1の金属層内の電極に直交する1組の電極を形成する第2のパターニング

された金属層が付着される。そのような構造が、図5の前述のメモリアレイ単位セルにおいて示される。

【0068】本発明の好適な実施形態によって、上述の多重化およびセンシング機構が、交点ダイオードアレイのために必要とされるプロセスと実質的に同じプロセスで製作されることが可能になる。とりわけ、製作の観点から、センシングおよび多重化機構の重要な態様は、それらがセンスおよびアドレス指定ダイオードをビアとして用いることにより実現できることである。従来の2段配線は、2つの金属層間に誘電体材料を必要とし、2つの金属層は、その誘電体材料を通る導電性ビアを形成するためにパターニングされ、処理されなければならなかった。そのようなプロセスは、2つの金属層と誘電体との正確な位置合わせを必要とする。センスおよびアドレスダイオードをビアとして用いることにより、本発明の好適な実施形態は、そのプロセスに誘電体が含まれる必要性を回避し、位置合わせ公差が緩和される。

【0069】図10は、上述の形のアドレス指定およびセンシング回路を有する交点ダイオードメモリアレイの概略的なレイアウト図である。その簡略化された図は、2次のアドレス指定を行う、 9×9 交点ダイオードアレイのための行電極と、列電極と、行センス線と、列センス線と、行アドレス線と、列アドレス線とを示す。図示のように、列電極502および行電極504は互いに直交し、半導体層によって分離された個々の層上に形成される。ダイオードは電極の交点に形成され、交点ダイオードメモリアレイ506が形成される。各交点ダイオードは、標準的な導通状態から、「溶断された」高インピーダンスまたは開回路状態に変換することができ、それが、メモリアレイにデータを書き込むために用いられる方法である。ダイオードを導通状態から開状態に変換するために、順方向バイアスの方向に、ある臨界電流密度より大きい電流がそのダイオードに流される。図において、無傷のダイオードエレメントは個々の交点において「O」によって示され、溶断されたダイオードエレメントは「X」によって示されている。図示のような交点メモリアレイはデータを格納せず、それゆえその中の全てのダイオードが無傷である。

【0070】位置合わせに関する実用上の理由のため、アドレス線ではなく、行または列電極の幅が調整されることが好ましい。アドレス線の幅が調整される場合には、その調整は、2つの隣接するダイオードが意図せずに溶断しないように、行/列線のピッチにわたって実行されなければならない。データ線の幅の調整は、緩和された位置合わせ公差の自由を与える比較的大きな距離にわたって行うことができる。また、マトリクスの反対側から交互に行/列線を延ばすことにより、幅の調整を2倍にすることが可能になり、プログラミングプロセスにマージンを追加することに役立つ。さらに、特定の接続構成を選択することにより、アレイの一方から延びる

2つの連続した線が両方とも広げられないことを保証し、これによりさらに、プログラミングのためのマージンを大きくすることができます。最後に、アドレスおよびセンス線は、他の行および列線路より広くなるであろう。なぜなら、それらが、書込み中のアドレス指定のような動作、およびアドレスプログラミング動作中に失敗することなく、より多くの電流を伝送する必要があるためである。また、それらは、位置合わせ公差を低減するために、さらに間隔をおいて配置され得る。

【0071】行および列電極は、交点アレイから外側に延び、フルアップ／フルダウン抵抗508（図7では抵抗112、122に対応する）によってそれらの端部で終端される。複数の列アドレス線510および少なくとも1つの列センス線512が、メモリアレイと終端抵抗との間に列電極と交差する。列アドレス線および列センス線は行電極と同じ導体層上に形成され、それらが列電極と交差する場所において、それらの間にダイオード接合が形成されるようになっている。列センス線によって形成されるダイオードエレメントは、図9ではダイオード282に対応し、列アドレス線によって形成されるダイオードは、図9ではダイオード280に対応する。上述のアドレス線グループ／ノード配列は、列アドレス線エレメントのうちの選択されたエレメントを溶断し、所望のダイオード接続を無傷のままにしておく（またはアンチヒューズの場合、選択された接続を形成し他を高インピーダンス状態のままにしておく）ことにより形成される。アドレス指定回路のこのプログラミングは、以下に概説されるように、回路の製造後に仕上げられ得る。

【0072】行電極504は同様に、行アドレス線514および行センス線516と交差する。行アドレス線および行センス線は、列電極と同じ導体層上に形成され、行アドレスダイオード（たとえば、図9では270）および行センスダイオード（たとえば、図9では272）が形成される。

【0073】製造時に、ダイオード接合は、各列アドレス線と各列電極との間、および各行アドレス線と各行電極との間に形成される。しかしながら、上述のグループ／ノードアドレス指定方式を実施するために、アドレス指定線とアレイ電極との間に、選択されたダイオード接続のみが維持されなければならない。選択された接続の「プログラミング」は、回路製造後に、あるアドレスダイオードを溶断し、選択されたダイオード接続のみを無傷にしておくことにより仕上げられ得る。

【0074】電極幅調整の別の態様は、アドレスダイオード（およびセンスダイオード）が全て、データダイオードを溶断することができる電流に耐えることができなければならないことである。この状態は、ダイオードが書き込まれているストライプ内のアドレス指定されない行または列電極上のアドレスダイオードに生じる。それらのダイオードは、選択されるデータダイオードに書込

みを行うために用いられているのと同じ電流を分流する。したがって、アドレスダイオードおよびセンスダイオードは全て、データダイオードより大きくなければならないが、その中には、プログラミング動作が上述のように機能するために、さらに大きくなるものもある。

【0075】製造時に、全てのアドレスダイオードは、行／列電極に並列に接続される。全てのダイオードが同じである場合には、共通の電位が行／列電極とアドレス線との間にかけられるとき、各ダイオードに同様の電流が流れるであろう。しかしながら、ダイオードが種々の有効面積を有する場合には、それらは依然としてほぼ同じ電流を流すことにはなるが、異なる電流密度を有するであろう。この状況では、ダイオードの中には臨界電流密度を超える電流が流れるものもあり、それらは溶断されるが、残りのダイオードは無傷のままである。この特性は、以下に説明されるように利用され、それによりアドレスネットワークがプログラミングされ得る。有利な点は、本発明の好適な実施形態は、アドレスダイオード、センスダイオード、行および列電極の間に適切な接続を確立するための方法を提供するだけでなく、ダイオードのアノードおよびカソードが、上述のダイオードロジック機能を実施するために適切に配置されることを確実にする。

【0076】図11は、直交する電極の交差部の種々の形状を示し、それらの交差部において形成されるダイオードの有効面積を変化させるために、直交する電極の幅を変更することができる方法を示す。実際には、垂直電極と水平電極とを分離する半導体層がこの図には示されていない。中央の行の交差部308、310、312は全て、その場所にある電極の幅が狭くも広くもされない限り、公称の交差部面積を有する。結果として、これらの電極の交差部は、その集積回路において、公称の標準的な大きさのダイオードを有することになる。上側の行の電極交差部302、304、306は全て、その交差部において狭い電極断面を有する。とりわけ、交差部302は狭い垂直電極断面を有し、交差部306は狭い水平電極断面を有し、交差部304は垂直および水平電極の両方が狭くされる。結果として、これらの電極交差部は、その集積回路において相対的に小さいダイオードになる。より小さなダイオードでは、アノードおよび／またはカソードの面積が縮小される結果として、電極間の半導体層の断面積も縮小されることになる。これは、ダイオードにより小さな電流が流れても、そのダイオードが、溶断して非導通状態になる臨界電流密度に達することができることを意味する。一方、交差部314、316、318はそれぞれ広いアノードおよび／またはカソード電極面積を有し、それにより、形成されたダイオードが、臨界電流密度に達することなく、標準的な電流より大きい電流を流すことができるこことを意味する。それは、他のダイオードより大きな面積を有するダイオード

をいくつか有するようにプログラミングする以外の理由で望ましい。たとえば、アドレスおよびセンスダイオードは、堅牢性または製造歩留まりを改善するために、より大きくなる場合もある。

【0077】所与の交点ダイオードを溶断するために必要とされる実際の臨界電流密度は、その交差部のアノードおよびカソードの大きさだけでなく、いくつかの要因に依存することは理解されるであろう。たとえば、半導体層のために用いられる材料およびその層の厚みも、所与のダイオードを溶断するために必要とされる電流密度に影響を与えるであろう。しかしながら、集積回路面積にわたる半導体材料特性と層の厚みとの相対的な一貫性を与える場合、ダイオード電極面積の大きさを用いて、種々の電極面積を有する他のダイオードに対して、破壊するために必要なダイオードを流れる電流レベルを制御することができる。

【0078】図12は、ダイオードの有効面積を変更するために、直交する電極のうちの一方の幅のみを変更することが何故特に有利であるかを示す、2つの層からの集積回路導体の形状を示す。図の上側部分は、2つの行電極と2つの列電極との交差部を示す。また、2つの行電極は、一対の行アドレス線によっても交差され、列電極は一対の列アドレス線によっても交差される。列電極および行アドレス線はその図では垂直方向に延び、第1の導体形成層上に形成される。行電極および列アドレス線は水平方向に延び、第2の導体形成層上に形成される。図の下側部分は、製造中に生じる可能性があるような、垂直電極に対してわずかに傾斜した水平導体を有する同じ導体構成を示す。

【0079】行電極および列電極のピッチは典型的には、最も大きなメモリアレイ密度を得るように、製造のリソグラフィプロセス等が対応することができる最小値として選択される。しかしながら、アドレス線のピッチは、アドレス線がほんのわずかしか存在しないため、記憶密度に著しく影響を与えることなく比較的大きくすることができる。図12に示される構成方式は、(行および列ピッチと比べて)相対的に大きなピッチで間隔を置いて配置される一様な幅のアドレス線を含む。そして、アドレス線のピッチに匹敵する長さにわたって、行および列電極の幅を調節することにより、平行移動および回転の際に行層と列層との間に必要な位置合わせを、大きく減らすことができる。その図の下側部分に示されるように、この技術によって形成されるデバイスの交点部分は位置合わせ不良にほとんど影響を受けず、アドレス線が位置合わせ不良に対して受ける影響は、アドレス線のピッチに反比例して小さくすることができる。

【0080】図13は、回路コンポーネントの相対的な配置の一例を示す、メモリモジュール層600のブロック構成レイアウトを示す。メモリアレイ602は中央に配置され、その周辺部には、アドレス/センス線60

4、プルアップ/プルダウン抵抗606および電源ストライピングカップリング608が配置される。これらの回路の周辺の周りには、外部相互接続を行うための接触パッド610が配置される。層600の物理的構成は著しく簡単であり、行/列電極が、アレイから、アドレス/センス回路、抵抗およびストライピング接続を介して、相互接続接触パッドまで延びることは上述の説明から理解されるであろう。アドレスおよびセンス線は同様に配置され、全てのダイオード回路エレメントは、導体交点において自動的に形成される(あるダイオードは、上述のようにプログラミングによって後に溶断される)。メモリモジュール層を示す図は、一定の縮尺ではなく、アドレス指定回路、センシング回路およびストライピング回路は図面において拡大されているが、これらの回路は一般には、層の面積の約5~10%しか含まないことは理解されたい。

【0081】メモリモジュール層レイアウトの一部が図14にさらに詳細に示される。ここでは、列電極612および行電極613を有するメモリアレイ602の一部が示される。列電極は、列センス線614および列アドレス線616によって交差され、アドレス/センス回路604が形成される。606では、列電極内にプルアップ/プルダウン抵抗が形成される。列電極はストライプに配列され、電極のグループが、別個の電源端子608a、608bに結合される。行電極(図示せず)も同様に配列される。電源ストライピング接続は、電力を供給し、それにより、ある時点でメモリの一部(サブアレイ)のみを選択することにより、アドレス指定方式および漏れ電流を低減するための機構の一部として使用される。

【0082】アドレス線および電源線が、メモリモジュール内の全ての層に対するバスとして形成される(共通である)ものと仮定すると、データの書き込みは、各層上のビットをアドレス指定し、アクティブサブアレイ内の電源(電源ストライピングによって決定される)を、読み出しレベルから書き込みレベルにストローブすることにより実行され得る。しかしながら、種々のデータ状態を種々の層に書き込むことができる必要があり、これは、センス線を用いて、メモリエレメントのダイオード/ヒューズが保護されるべき層上の電圧をプルダウンすることにより達成され得る。これは、センスダイオードが、メモリアレイエレメントを溶断することになる電流に耐えなければならないことを意味する。したがって、センスダイオードは、そこを通過する電流密度を低減するよう断面積を拡大して製造される。

【0083】集積回路構造
再び図3を参照して、メモリモジュール20の物理的構造が説明される。上述のように、メモリモジュール20の好適な形態は複数の積重された層22を有し、各層はプラスチック(ポリマー)基板50上に形成されたメモ

リアレイを有する。ポリマー材料が基板として用いられることは不可欠ではないが、その材料は比較的低コストで製造され、処理されることができるので好ましい。基板50は、好ましくは薄いシート材料の形をとる、種々の市販のポリマー材料から形成され得る。基板50として使用され得る例示的なポリマー材料のリストは、以下に限定はしないが、DuPont社から市販されるKapton (R) のようなポリイミド、ポリエーテルスルファン (PES)、ポリアクリレート (PAR)、General Electric社から市販されるUltem (R) フィルムのようなポリエーテルイミド (PEI)、ポリエチレンナフタレート (PEN)、ポリエチレンテレフタレート (PET)、DuPont社から市販されるMylar (R) のようなポリエステルテレフタレート、DuPont社から市販されるTeflon (R) のようなポリテトラフルオロエチレン (PTFE)、General Electric社から市販されるLexan (R) のようなポリカーボネート、ポリ塩化ビニル (PVC)、Orica社から市販されるMelinex (R) のようなポリエステルフィルム、およびプラスチック基板上に回路を形成する技術において用いるために知られている他のそのようなポリエステルフィルムおよびポリマーフィルムを含む。その基板は、厚みが約0.01mm～0.05mmのような、フレキシブルな「ロールツーロール」処理が可能になる薄さであることが好ましい。

【0084】メモリアレイ25およびアドレス指定回路30は、プラスチック基板50上に金属-半導体-金属 (MSM) プロセスにしたがって形成され得る。MSMプロセスにより、その間に半導体材料の1つ以上の層を有する、導電性金属回路の2つのパターニングされた層がもたらされる。金属層が交差し、半導体層の両側に接触する場所において、金属層間にダイオード接合が形成される。MSMダイオード集積回路の製造は、たとえば、「X-Y Addressable Electric Microswitch Arrays and Sensor Matrices Employing Them」というタイトルの国際特許出願第WO99/39394号の明細書に記載される。その明細書の開示は、参照により明示的に本明細書に組み込まれる。

【0085】メモリモジュール回路の半導体層に使用され得る、多くの種々の材料があり、その中には、上述の国際特許出願において開示されるものもある。半導体層のために有機材料および無機材料が使用され得る。無機材料は、たとえば、アモルファスシリコンおよびゲルマニウム材料を含み、類似の応用形態においてそのような材料を使用することは、光電池の分野において知られている。しかしながら、プラスチック基板上への形成にさらに適合する、低温度で処理される能力のため、無機半導体材料が好ましい場合がある。この応用形態における有機材料の他の利用可能な利点は、i) 電子的な挙動が、化学的性質を変化させることにより変更可能であること、ii) エレメント間のクロストークを避けるため

に、高い異方性のバルク導電率によって、半導体薄膜をパターニングする必要性がなくなる可能性があること、iii) 交点構造を組み立てるための導電性接着剤として半導体を利用できることである。たとえば、ポリイミド基板材料は約300°Cまでの温度での処理に耐えることができる場合があるが、PENおよびPETのような他の利用可能な基板材料は、約130～150°Cの最大処理温度に制限される。したがって、所与の応用形態に対する半導体材料の選択は、選択される基板材料に依存する場合がある。一般に、約150°C未満の温度で処理され得る(たとえば、必要なら、堆積させてパターニングされる)半導体材料が、最も適した基板と適合するであろう。

【0086】メモリモジュールにおいて半導体層として使用され得る有機材料の例は、銅フタロシアニン (CuPc) と、PTBC1 (ペリレン-3, 4, 9, 10-テトラカルボキシリックビスベンゾイミダゾール) からなる二重層を含む。CuPcとともに使用され得る他の候補材料には、PTCDA (ペリレン-3, 4, 9, 10-テトラカルボキシリックジアンハイドライド)、およびBTQBT [ビス(1, 2, 5-チアジアゾール)-p-キノビス(1, 3-ジチオール)] がある。また、層は、TPD (N, N'-ジフェニル-N, N'-ビス(3-メチルフェニル)1-1'ビフェニル-4, 4'-ジアミン)、 α -NPD (4, 4'-ビス[N-(1-ナフチル)-N-フェニルアミノ]ビフェニル) およびTPP (5, 10, 15, 20-テトラフェニル-21H, 23H-ポルフィン) からも形成され得る。本発明の目的のために、他の基板材料も使用され得ることは、当業者には明らかであろう。

【0087】図15は、メモリモジュール回路の一部の簡略化した等角図であり、その一般的な構造を示す。第1の金属層から基板50上に形成される一对の電極導体70が示される。半導体材料72、74からなる2つの層が第1の金属層上に形成される。導体70を横切って延びる導体76が、半導体層72、74を覆う第2の金属層から形成される。半導体材料が、第1および第2の金属層の導体70と76との間に挟まれる場所では、ダイオードエレメントが形成される。図15において、図示された半導体層は連続しているが、使用される半導体材料が、薄膜の厚みに対して低いバルク抵抗率を有し、そのため横方向漏れ電流が、電極の交点において薄膜を流れる意図した電流に対してかなりの大きさになる場合には、半導体層のパターニングが必要とされる場合がある。

【0088】メモリアレイにおいて半導体層によって形成されるダイオードは、メモリエレメントのダイオード(たとえば、図4の66)およびヒューズ(64)の両方として作用することが好ましい。この場合、半導体層は、所定の条件下で、ダイオード接合特性が不可逆的に

高インピーダンス状態に変化するという点で、ヒューズの機能を実行しなければならない。たとえば、メモリの書き込み動作中に、ある電流密度閾値より高い、ダイオードを流れる電流密度を用いてダイオードを破壊し、その導電特性を高インピーダンスに変更することができる。このように機能することができる電極／半導体／電極の積層構造の一例は、(200 nm (2000オングストローム)) Au / (80 nm (800オングストローム)) CuPc / (80 nm (800オングストローム)) PTCB / (20 nm (200オングストローム)) BCP / (360 nm (3600オングストローム)) Agである。ただし、CuPcは銅フタロシアニンであり、PTCBはペリレン-3, 4, 9, 10-テトラカルボキシリックビス-ベンイミダゾールであり、BCPはバトクプロインである。

【0089】代案として、メモリアレイは「アンチヒューズ」エレメントとともに反対の態様で動作するように構成されてもよく、メモリエレメントは高インピーダンス状態で製造され、低インピーダンス状態を誘導するように書き込まれ得る。たとえば、ドープド(たとえば、p⁺ - n - i または n⁺ - p - i)アモルファスシリコン層構造を半導体層として用いることができ、それにより、メモリエレメントは実際には、所望の場合に消去、または再書き込みできるようになる場合がある。そのような構造は、たとえば、P.G.Lecomber等による「The Switching Mechanism in Amorphous Silicon Junctions」(Journal of Non-Crystalline Solids77&78 (1985) pp 1373-1382) および「Non-Volatile Amorphous Semiconductor Memory Device Utilizing a Forming Voltage」というタイトルの米国特許第4, 684, 972号に記載される。それらの文献の開示は参考により特に本明細書に組み込まれる。

【0090】層製作プロセス

メモリモジュールの各層は、低コストの製品の実現を促進するように、短時間で、安価なプロセスを用いて構成されることが有利である。可撓性のポリマーまたは金属(誘電体薄膜を含む)材料の薄いウェブ基板を用いることにより、たとえば、比較的安価なロールツーロール製造プロセスが利用できるようになる。

【0091】以下に説明されるエンボスおよびリフトオフと呼ばれるウェブ処理技術は、本来、ポラロイド(R)において固有のハロゲン化銀ベースの写真フィルムを製造するために開発された。その技術が、交点メモリアレイおよびアドレス／センス線のための行および列電極を製造することに適用されることが有利である。なぜなら、それが、低コストのロールツーロールプロセスにおいてプラスチックウェブ上にサブミクロンサイズの機構を製造するための能力を有するからである。微細エンボス加工プロセスの一例は、「Directed Energy Assisted in Vacuo Micro Embossing」というタイトルの米

国特許6, 007, 888号に記載されており、その開示は参考により本明細書に組み込まれる。代案として、従来のリソグラフィプロセスを用いてもよいが、そのようなプロセスの現時点で最も小さい機構サイズ能力は製造環境において約25 μmに制限される。

【0092】エンボス／リフトオフプロセスは、以下に参照される図16～図22において段階毎に示される。そのプロセスは、10 μmと同程度に小さな厚みを有するプラスチックウェブ700(図16)から開始する。そのプロセスの最初のステップは、ミクロンサイズの機構のパターンでこの基板にエンボス加工することである。そのエンボス加工は、CD-ROM射出成形プロセスのためのマスターを作成するために用いられるプロセスと類似の従来の高分解能リソグラフィプロセスを通して、その表面上に機構を画定されたロールによって実行される。図16は、エンボス加工された後のプラスチック基板700の一部を示しており、エンボス加工された機構溝702が示される。基板上にエンボス加工されたパターンは、たとえば、メモリアレイおよびアドレス／センス線回路の1つの導体層に対応する。

【0093】ウェブ700は、蒸着、スパッタリング、気相成長等を用いて導体(たとえば、金属)材料704でコーティングされる。そのコーティングは、1つの薄膜、あるいはスタックを形成するいくつかの薄膜からなることができる。堆積された全体的な薄膜の厚みは、エンボス加工された機構(702)の深さより薄い。図17は、その表面を覆う導体コーティング704を、エンボス加工された機構702内に堆積した後のウェブ700を示す。堆積プロセスの性質により、プラスチックが不均一にコーティングされ、エンボス加工された機構の側壁が、ウェブの表面に平行な表面より薄いコーティングを有する。これは、その後に行われるリフトオフステップのために重要である。

【0094】リフトオフステップでは、感圧性粘着剤(図示せず)をコーティングされた第2のプラスチックフィルム706が、第1のウェブ700のコーティングされた表面と接触する。第2のフィルムは、コーティングがエンボス加工された機構702内に入り込んだ場所を除く、全ての場所においてコーティング704に接着する。その後、第2のフィルムは、図18に示されるように剥離され、エンボス加工された領域内に入り込んだ部分708を除いて、第1の基板からコーティング704を除去する。このプロセスは2つの要因に依存する。第1の要因は、感圧性粘着剤が、コーティング704が堆積されたフィルム700の表面との接着より強い接着を、コーティング704に対して生じさせることである。第2の要因は、導体材料コーティングが、エンボス加工された機構の側壁上では十分に薄く、それにより、エンボス加工された凹部702からコーティング部分708を引っ張り出すのではなく、これらの領域が割れる

という要件である。

【0095】この時点で、プラスチック基板に付着した2つの利用可能なパターニング済み導電性薄膜が存在する。図19は、エンボス加工された基板700上にリフトオフ後に残されるパターニングされたコーティング708を示す。エンボス加工された機構からのパターニングされた導体708を、プラスチック基板から突出させることが望ましい場合には、さらなるリフトオフを用いることができる。この任意選択のリフトオフの第1のステップは、エンボス加工された基板700の表面に、プラスチック材料の等角コーティング710を適用することである。このステップの結果が図20に示される。このステップでは、二次的なプラスチック材料710がパターニングされた機構に流れ込み、残っているパターニングされた導体708の露出した表面に付着する。図21に示されるように、プラスチック層710が、エンボス加工された基板700から剥離されるとき、その層710が、それとともに、パターニングされた導体708を引っ張る。図22は、その表面から隆起しているパターニングされた導体708を有する(反転した)二次的なプラスチック基板710を示す。

【0096】上述のエンボス/リフトオフプロセスを用いて、各メモリモジュール層のために2つの別個の導体層を形成することができる。その後、メモリモジュール層(22)は、2つの導体層間に半導体層を挟むことにより完成され得る。たとえば、先に説明したように、ダイオード接合およびヒューズ機能を提供するための材料からなる適切な層が、1つの基板上の導体パターンにわたって配置され、次いで、半導体層の露出した表面と物理的に接触する他の基板上の導体パターンにわたって配置され得る。そのようなプロセスが、図23、図24および図25に概略的に示される。

【0097】図23では、エンボス/リフトオフプロセスを用いて別個に作成され得る2つの副層(sub-layer)802および804が示される。副層802は、メモリ回路のための導体層のうちの1つを形成することになる、基板806上に形成された第1の導体配列808を含む。たとえば、導体配列808は、接触パッドおよびそれに関連するカッピングとともに、列電極、行アドレス線および行センス線を含むことができる。副層804は、基板810上に形成された第2の導体配列812を含む。第2の導体配列は、行電極、列アドレス線、列センス線、ならびに関連する接点および接続部を含むことができる。

【0098】第1の副層802の基板806上の第1の導体配列にわたって堆積される、ダイオード接合およびヒューズ機能を形成するための半導体層(814)が図24に示される。これは、第1の導体配列と半導体層の片側との間の電気的接点を形成する。その後、第2の副層804が、第2の導体パターンが半導体層の他の側と

接触するように、堆積された半導体層の上側に反転して配置される。第1および第2の副層の電極導体は、互いに横切って(たとえば、直交して)配置され、上述のような交点接合を形成する。回路構造は全て、交点ダイオードとその間にある配線とから形成されるため、第1の副層と第2の副層との間の厳密な位置合わせ公差は必要ではない。これにより、図25の820に示される完成したメモリモジュール層が形成される。その後、複数のそのような層が、以下に説明されるようにメモリモジュールに組み立てられ得る。

【0099】半導体層材料の実際の選択に応じて、副層は、接着剤の形態として機能する半導体材料を用いて、互いに結合され得る。接触する副層と非常に強力に結合することができる小さな分子量の半導体材料が示されてきた。代案として、プラスチック基板材料が用いられる場合、プラスチック副層材料は、加熱によって互いに結合されてもよい。

【0100】以下に続くメモリモジュール組み立ての説明から、より完全に理解されるように、接触パッドは、メモリモジュール内の層間の配線をより容易に位置合わせできるようにするために、横方向に比較的広くされることが望ましい。しかしながら、上述のエンボス/リフトオフ手順では、エンボス加工された領域において導体層(708)にリフトオフフィルム(706)を付着することなく作成され得るエンボス加工される領域の幅には制限がある。したがって、そのような問題点を回避するために、接触パッドは一連の交差した導体(1つの導体層上にある)から形成されることが好ましい。

【0101】メモリモジュール製作プロセス
メモリモジュール20の構成は、メモリの多数の層を、相互接続される3次元記憶モジュールに積重することを含む。メモリを製作するために用いられるプロセスに応じて、その積重は、共通の基板に多数のクロスバー層を堆積することにより実現され得るか、またはそれ自体の薄い基板上にそれぞれ製作される完成した層(上述の層のような)を積層することにより実行され得る。Thomson-CSFに譲渡された米国特許第5,640,760号は、後者の構成方法を取り扱う。積重および配線技術はIrvine Sensors Corporation(Costa Mesa, California)からも提供されており、そのプロセスの態様は、たとえば、米国特許第5,424,920号、第5,701,233号および第5,953,588号に記載される。また積重および配線技術は、3D Plus(Buc, France)からも提供される。

【0102】図26は、上述のような複数の層22から、本発明の一実施形態にしたがってメモリモジュール20を構成するためのプロセス400の一般的なステップを示す。プロセス400は、プラスチック基板406上に形成されるメモリアレイおよびアドレス指定回路404を含む、製造された集積回路層402から開始す

る。また、層402は、回路404の入力および出力ノードから、それぞれ直線的に配置された接触パッド410まで延びる相互接続リード408も有する。層402はさらに、基板406を貫通して形成される位置合わせアーチャ412も含む。層402は、メモリモジュールへの組み立て工程に渡される前に、その上の回路が十分に機能することを確実にするために検査されることが好ましい。

【0103】プロセス400の次の段階では、複数の層402が、位置合わせアーチャ412を通って延びる位置合わせロッド422を用いて、互いに位置合わせされて互いの上面に積重され、層420のスタックが形成される。スタック420は、全てが同じ向きに配列された複数の同一の層402からなることができる。たとえば、約50枚までの層を用いて、スタック420を形成できる。そのスタックの層は、エポキシ樹脂材料等を用いて互いに積層され、それらの位置合わせされた配列で層が固着され、シールされたブロック430が形成される。

【0104】高精度の鋸または他の適切な切断器具を用いて、図に432で示される線に沿って端部および側面がブロック430から切断される。図のスタック420の上側層上に示されるように、ブロック430が切断される面は、接触パッド410の線を通って延び、それにより、切断されたブロックの側面において、積層されたスタック内の各層から接触パッド410の端部面が露出する。切断手順後のブロックが440で示されており、各層からの接触パッド410の露出した端部が示される。簡略化された図面内の機構は相対的な縮尺通りに示されているわけではなく、露出した接触パッド部分のようないくつかの機構は、説明の目的上、誇張されていることは理解されるであろう。

【0105】切断されたブロック440は、ニッケル／アルミニウム合金のような導電性金属被覆でめっきされ、めっきされたブロック450が形成される。金属被覆は、めっき前に切断されたブロック440の側面において露出された接触パッド410の端部と電気接続する。最後に、たとえば、レーザ溝削りプロセスを用いて、めっきされたブロック450から金属被覆の部分が除去される。金属めっきの残りの部分462は、そのブロック内の個々の層の接触パッド間の所望の相互接続を提供する。金属めっきは、たとえば、メモリモジュール層のアドレス指定入力間の共通接続と、I/Oセンス線等への別個の接続とを提供するために、任意の所望の態様でパターンニングされ得る。完成したメモリモジュール20が460で示されており、残りの金属めっき部分462の外側表面が、図1のインターフェースおよび制御回路14のような外部回路とのインターフェースのための電気的コンタクトを提供する。

【0106】全般的な考察

本明細書で説明されるメモリシステムは、デジタルカメラ（スチール写真および／または映像）、デジタル音楽プレーヤ／レコーダ（たとえばMP3プレーヤ）、パーソナルデジタルアシスタント（PDA）、移動電話等のような、データ記憶装置を必要とするポータブル機器に特に適するように製作される、いくつかの特徴を有する。そのメモリシステムは、そのような機器に有用であるほどの十分な容量のデータ記憶装置を提供することができ、比較的低成本で製造され得る。データをメモリに書き込むことができ、その後、永久的に格納される。したがって、大容量の記憶装置（たとえば、100MB～1GB以上）が、ポータブル機器において用いる永久的な保存データ記憶装置用に低成本（たとえば、約5ドル未満）で提供され得る。

【0107】データ記憶装置は、安価な材料および処理技術を用いることにより低成本で製造されるメモリモジュールによって提供される。メモリモジュールは、交点メモリアレイをそれぞれ有する複数の層から形成される。多くの層は積重されて單一のメモリモジュールを形成し（たとえば、60層程度までの層が、コンパクトフラッシュ（R）カードプロファイルに適合できる）、メモリモジュールが、1つの層上で実現可能なデータ記憶の何倍もの記憶容量を有することが可能になる。各層は、ポリマー、または誘電体のコーティングされた金属のような安価なフレキシブル基板上に形成される。これは、従来の単結晶シリコン基板より非常に安価であり、比較的短時間で、安価な製造プロセスを用いることを可能にする。各層上に形成された回路は、交点メモリアレイおよび関連するアドレス指定回路を含み、構造的に簡単になるように設計され、単純な製造プロセスを可能にする。とりわけ、メモリアレイおよびアドレス指定回路は、メモリアレイおよびアドレス指定回路の両方が同じ簡単なプロセスを用いて製造できることを可能にする置換型ダイオードロジック方式にしたがって設計される。

【0108】各メモリモジュール層は、それぞれの層に配置される2組の電極導体を有し、それらの電極導体の間に半導体層を有する。電極は、直交するマトリクスで配置され、交差する電極の各対の交点において、半導体材料中にメモリエレメントが形成される。半導体層は、プラスチック基板と適合する低温処理を可能にし、半導体層は、アモルファスシリコン材料とすることができます、または1つ以上の有機半導体材料から構成され得る。半導体層によって分離される電極層が交差する場所では、整流接合が、2つの電極導体間に形成される。各整流接合は、ヒューズエレメントと直列なダイオードと見なすことができ、そのような接合は、メモリアレイと、置換型ダイオードロジックアドレス指定回路との根幹をなす。アドレス指定／多重化回路は、選択的な回路配線が、製造後に電気信号を加えることにより破壊または形成され、そのアドレス指定方式のための必要とされる、

アドレス線と電極との間の選択されたダイオード配線を形成することができるよう構成される。

【0109】メモリモジュール層は、簡単で、安価な処理を用いて製作される。可撓性のプラスチック基板または金属基板を利用して、層上に回路を製作する際に、ロールツーロール処理が可能になる。アドレス指定回路内のダイオードロジックによって、1つの基板上にメモリアレイとアドレス指定回路とを製造する際に、同じプロセスを使用することが可能になる。その回路への外部接続を行うために、接触パッドおよび導体もその基板上に形成される。複数の層が互いの上側に積重され、互いに積層される。その後、メモリモジュールは、メモリモジュール層のエッジにおいて接触パッドと電気的に接触する外部コンタクト線路を形成し、パターニングすることにより完成する。これらのコンタクト線路は、各層上の回路を互いに結合し、外部回路への接続を提供する。

【0110】メモリモジュールの各層上に収容されるアドレス指定回路によって、各層のメモリエレメントに対して読み出しありは書き込みを行うために必要とされる、外部からアクセス可能なアドレス指定線の数を低減するのが容易になる。これにより、メモリモジュール内の層間の配線、および大容量記憶モジュールの外部回路への配線の数を取り扱いやすい数にすることができる。たとえば、上述のダイオードロジックアドレス指定方式を用いることにより、100,000,000ビットのメモリアレイを、56本の外部アドレス指定線によってアドレス指定することができる。また、電源ストライピングが用いられ、その場合、ある時点で、メモリアレイの一部のみに電源が供給される。これはメモリアレイのアドレス指定方式の一部を構成することができ、データ読み出し中のアレイ内の漏れ電流も低減する。

【0111】インターフェースおよび制御回路はメモリモジュールから分離し、たとえば、従来の集積回路の形で構成される。インターフェースおよび制御回路は、メモリモジュールに加えられるべきアドレス指定信号を生成するためのアドレス指定回路と、格納されたデータを読み出すためのセンシング回路とを含む。その検出方式は、電荷ではなく電流レベルに基づいており、それにより、センシング回路が、メモリモジュールからリモートでより容易にデータを読み出せることが可能になる。さらに、そのデータ記憶装置は、メモリエレメントのヒューズが溶断される場合の大きな抵抗の変化に基づいており、それにより比較的大きなセンシング信号が供給される。

【0112】メモリモジュールの構造は、本発明の原理を保持しながら、多くの実現可能な変形形態を有する。説明された実施形態では、各層上に1つのメモリアレイが製作され、複数の層が位置合わせされて、互いの上に積重される。代案では、各層が2つ以上のメモリアレイを含むことができ、複数の層が、折りたたまれたスタッ

クのような、異なる態様で積重されることもできる。また、応用形態によっては、1つの基板上に多数の回路層を築き上げて製造することが有利な場合もある。

【0113】本発明の原理は、特許請求の範囲によって規定されるような本発明の範囲から逸脱することなく、本明細書に記載される回路、構造、配置およびプロセスに対する多くの他の変形形態で適用され得ることは当業者には理解されるであろう。

【0114】以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施形態を示す。

1. 集積回路構造であって、第1および第2の導線を有する第1の導体層(70)と、前記第1および第2の導線と交差する関係にある第3の導線を有する第2の導体層(76)と、及び少なくとも前記第3の導線が前記第1および第2の導線と交差する場所において、前記第1の導体層と前記第2の導体層との間に挿入される少なくとも1つの半導体材料を有する中間層(72、74)であって、それぞれ前記第1および前記第2の導線と前記第3の導線との各交差接合部において、前記中間層を介して第1および第2の回路接続エレメント(26)が形成される、中間層とからなり、前記交差接合部における前記第1の導線、前記第2の導線および／または前記第3の導線の幾何学的形状は、前記第1および第2の回路接続エレメントに所定の電気信号を印加する際に、前記第1の回路接続エレメントが、前記第2の回路接続エレメントと比較して抵抗値の永久的な大きい変化を受けるようになされる、集積回路構造。

2. 前記第1の導線、前記第2の導線および／または前記第3の導線の幾何学的形状は、前記所定の電気信号が、前記第2の回路接続よりも大きな電流密度を、前記第1の回路接続にもたらすように構成される、上記1に記載の集積回路構造。

3. 前記第1の導線、前記第2の導線および／または前記第3の導線の幾何学的形状は、前記第1の導線および／または前記第3の導線の幅が、その交差接合部の領域において、前記第2の導線および前記第3の導線の交差接合部と比較して狭くされるように構成される、上記1に記載の集積回路構造。

4. 前記第1の導線、前記第2の導線および／または前記第3の導線の幾何学的形状は、前記第2の導線および／または前記第3の導線の幅が、その交差接合部の領域において、前記第1の導線および前記第3の導線の交差接合部と比較して広くされるように構成される、上記1に記載の集積回路構造。

5. 前記所定の電気信号を印加した後に、前記第1の回路接続エレメントが、前記第2の回路接続エレメントよりも著しく高い抵抗を有する、上記1に記載の集積回路構造。

6. 前記第2の回路接続エレメントが、前記中間層に形成されたダイオード(66)を含む、上記5に記載の集積

回路構造。

7. 前記所定の電気信号を印加した後に、前記第1の回路接続エレメントが、前記第2の回路接続エレメントより著しく低い抵抗を有する、上記1に記載の集積回路構造。

8. 前記第1の回路接続エレメントが、前記中間層に形成されたダイオードを含む、上記7に記載の集積回路構造。

9. 集積回路接続エレメントを形成する方法であって、第1の導線、第2の導線(70)および第3の導線(76)を形成することを含み、前記第1の導線および前記第2の導線は前記第3の導線と交差し、少なくとも1つの半導体材料を有する層(72)によって前記第3の導線と分離され、それぞれ前記第1の導線および前記第2の導線と前記第3の導線との交差接合部において前記層を通る第1および第2の回路接続エレメントが形成され、前記交差接合部における前記第1の導線、前記第2の導線および／または前記第3の導線の幾何学的形状は、前記第1および第2の回路接続エレメントに所定の電気信号を印加する際に、前記第1の回路接続エレメントが、前記第2の回路接続エレメントと比較して抵抗値の永久的な大きい変化を受けるように制御される、方法。

10. 前記第1の導線、前記第2の導線および／または前記第3の導線の幾何学的形状は、前記第1の回路エレメントを形成する前記交差接合部の断面積が、前記第2の回路エレメントを形成する前記交差接合部の断面積より小さく、前記所定の電気信号が、前記第2の回路エレメントと比較して著しく大きな電流密度を、前記第1の回路エレメントにもたらすように制御される、上記9に記載の方法。

11. 前記第1の導線および／または前記第3の導線の幅が、前記第1の回路エレメントを形成する前記交差接合部の領域において狭くされる、上記10に記載の方法。

12. 前記第2の導線および／または前記第3の導線の幅が、前記第2の回路エレメントを形成する前記交差接合部の領域において広くされる、上記10に記載の方法。

13. 前記第1および第2の回路エレメントがそれぞれ、前記層に形成されたダイオード(66)を含む、上記9に記載の方法。

14. 回路を形成するための方法であって、第1の導線(76)を形成するステップと、前記第1の導線と交差するように配列される複数の第2の導線(70)を形成するステップであって、前記第1の導線および前記第2の導線が、その交点において、少なくとも1つの半導体材料(72)を有する層によって分離される、ステップとからなり、前記第1の導線および／または前記第2の導線の幾何学的形状が、前記第1の導線と前記第2の導線との間に所定の電気信号を印加することにより、前記幾何学

的形状にしたがって前記交点において前記層内に実質的に永久的な相対的変化がもたらされるように制御される、方法。

15. 前記幾何学的形状を制御することが、前記交点において前記第1および／または前記第2の導線の幅を制御することを含む、上記14に記載の方法。

16. 前記導線の幅が、複数の前記交点の前記第1および第2の導線の重なり合う領域が大きい面積の交点と小さい面積の交点とを含むように制御される、上記15に記載の方法。

17. 前記層が、前記所定の電気信号の結果として、前記小さな面積の交点間の領域において抵抗値の永久的な大きい変化を受ける、上記16に記載の方法。

18. アレイ電極線(60、62)を有する交点メモリアレイ(25)のためのアドレス指定回路(30)であって、前記アドレス指定回路が、前記アレイ電極線と交差するように配列される少なくとも1つのアドレス線(510)を含み、前記アレイ電極線および少なくとも1つのアドレス線(514)が、少なくとも1つの半導体材料を有する層(72)によって個々の交差接合部において分離され、前記接合部において前記層を通る回路エレメント(26)が形成され、前記少なくとも1つのアドレス線および／または前記アレイ電極線の幾何学的形状が、前記回路エレメントに所定の電気信号が印加されることにより、前記幾何学的形状にしたがって選択的な前記回路エレメントの抵抗が著しく変化するように、前記接合部において構成される、アドレス指定回路。

19. 前記構成の幾何学的形状が、前記接合部において、前記少なくとも1つのアドレス線および／または前記アレイ電極線のうちの少なくとも1つの狭くされた部分(304)を含む、上記18に記載のアドレス指定回路。

20. 前記構成の幾何学的形状が、前記接合部において、前記少なくとも1つのアドレス線の狭くされた部分(302)を含む、上記18に記載のアドレス指定回路。

21. 前記構成の幾何学的形状が、前記接合部において、前記アレイ電極線のうちの少なくとも1つの広くされた部分(306)を含む、上記18に記載のアドレス指定回路。

22. 前記構成の幾何学的形状が、前記接合部において、前記少なくとも1つのアドレス線および／または前記アレイ電極線のうちの少なくとも1つの広くされた部分(316)を含む、上記18に記載のアドレス指定回路。

23. 前記回路エレメントは、前記層によって形成された個々のダイオード(66)を含む、上記18に記載のアドレス指定回路。

24. 前記狭くされたアドレス線および／またはアレイ電極線の接合部において形成された前記回路エレメントが、前記所定の電気信号の印加の結果として、抵抗値の

著しい変化を受ける、上記19に記載のアドレス指定回路。

25. 前記アレイ電極線が前記交点メモリアレイを通り平行に延び、前記アレイ電極線が交互に前記交点メモリアレイの別の側から延び、前記交差接合部のサブセットが前記交点メモリアレイの両側に形成されるように、前記少なくとも1つのアドレス線と交差する、上記18に記載のアドレス指定回路。

26. アドレス指定回路を形成する方法であって、第1の組の導線(70)を形成するステップと、前記第1の組の導線を横切る第2の組の導線(76)を形成するステップであって、前記第1および前記第2の組の導線は、前記第1および前記第2の組からの導線が、少なくとも1つの半導体材料を有する層(72)によって分離される個々の交差接合部を有し、前記第1の導線および/または前記第2の導線の幾何学的形状は、前記交差接合部が、異なる幾何学的形状を有する第1および第2の組の接合部を含むように制御される、ステップと、及び前記第1および前記第2の導線に所定の電気信号を印加し、それにより、前記第1の組の交差接合部において電気抵抗の永久的な大きい変化が生じ、前記第2の組の交差接合部においては生じないようにするステップとからなる、方法。

27. 前記幾何学的形状を制御するステップが、選択された前記交差接合部において、前記第1の導線および/または前記第2の導線の狭い幅の部分(304)を形成することを含む、上記26に記載の方法。

28. 前記幾何学的形状を制御するステップが、選択された前記交差接合部において、前記第1の導線および/または前記第2の導線の広い幅の部分(316)を形成することを含む、上記26に記載の方法。

【0115】

【発明の効果】上述のように、本発明によれば、交点ダイオードメモリアレイ内のメモリエレメントにアクセスするためのアドレス指定およびセンシング回路を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態によるライトワニスメモリシステムのブロック図である。

【図2】ライトワニスメモリシステムのメモリモジュールの全体的な構造を示す、ライトワニスメモリシステムの略ブロック図である。

【図3】本発明の一実施形態にしたがって構成されるライトワニスメモリモジュールの切開等角図である。

【図4】本発明の実施形態において実施するのに適した交点メモリエレメントの絵画図である。

【図5】交点アレイメモリの単位セルの簡略化した平面図である。

【図6】ライトワニスメモリアレイのメモリエレメントのアドレス指定を示すためのライトワニスメモリアレイ

の図である。

【図7】メモリアレイアドレス指定回路の一部の概略的な回路図である。

【図8】置換型ダイオードロジックアドレス指定回路接続が概略的に示される、交点メモリアレイの図である。

【図9】メモリアレイのための、置換型ダイオードロジックの多重化(mux)／逆多重化(demux)およびセンシング回路の概略的な回路図である。

【図10】交点メモリアレイ、ならびに関連するアドレス指定およびセンシング回路エレメントの概略的なレイアウト図である。

【図11】直交電極交差部の種々の構成を示す図である。

【図12】製造時の位置合わせ不良を考慮することを示すいくつかの電極の略図である。

【図13】メモリモジュール層の簡略化したブロック構成のレイアウト図である。

【図14】メモリアレイの一部およびアドレス指定／センシング回路の概略的なレイアウト図である。

【図15】本発明の一実施形態において用いるためのメモリモジュール層構造の切開等角図である。

【図16】例示的なエンボス／リフトオフ層製作プロセスの段階を示す図である。

【図17】例示的なエンボス／リフトオフ層製作プロセスの段階を示す図である。

【図18】例示的なエンボス／リフトオフ層製作プロセスの段階を示す図である。

【図19】例示的なエンボス／リフトオフ層製作プロセスの段階を示す図である。

【図20】例示的なエンボス／リフトオフ層製作プロセスの段階を示す図である。

【図21】例示的なエンボス／リフトオフ層製作プロセスの段階を示す図である。

【図22】例示的なエンボス／リフトオフ層製作プロセスの段階を示す図である。

【図23】メモリ回路副層組み立てプロセスの段階を概略的に示す図である。

【図24】メモリ回路副層組み立てプロセスの段階を概略的に示す図である。

【図25】メモリ回路副層組み立てプロセスの段階を概略的に示す図である。

【図26】メモリモジュール製作プロセスの概略図である。

【符号の説明】

25 メモリアレイ

26 メモリエレメント

30 アドレス指定回路

50 基板

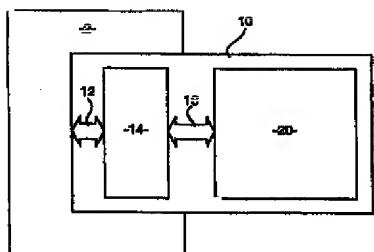
60 列線

62 行線

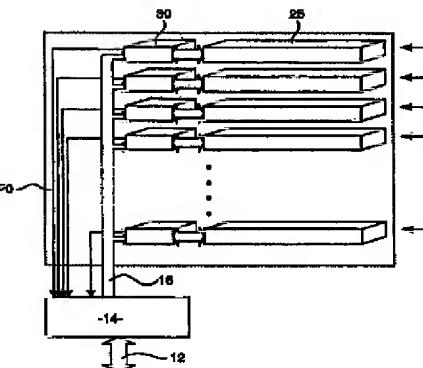
66 ダイオード
70、76 電極導体

72、74、75 半導体材料(半導体層)

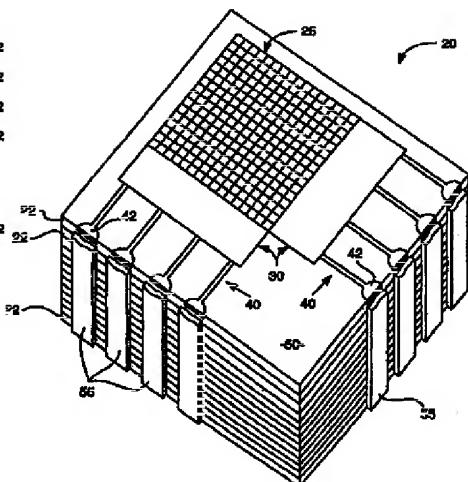
【図1】



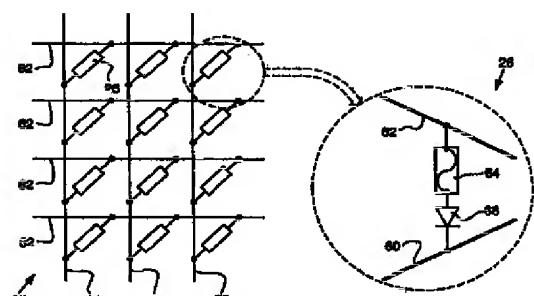
【図2】



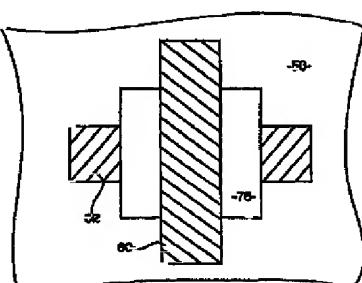
【図3】



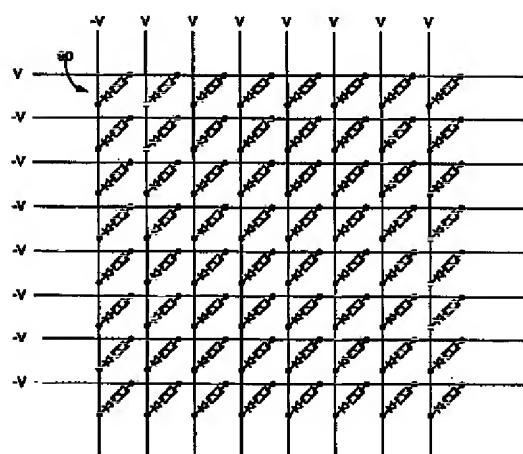
【図4】



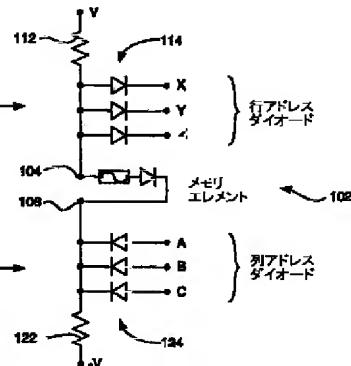
【図5】



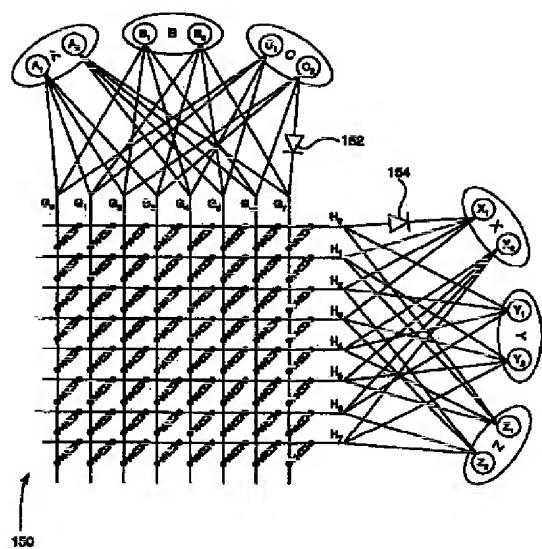
【図6】



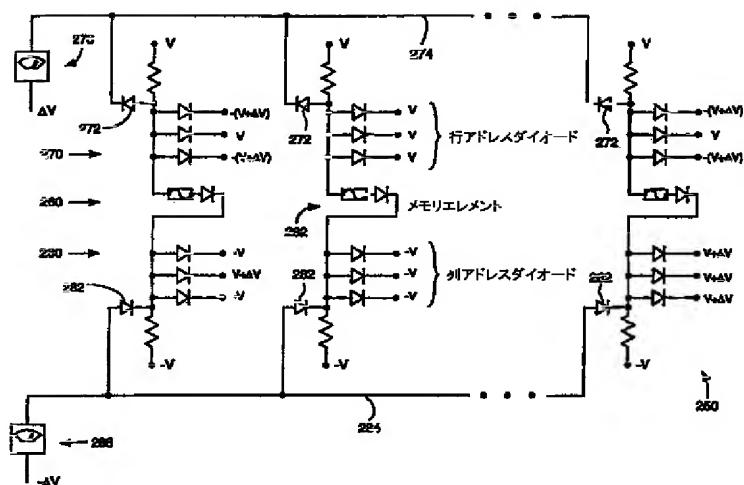
【図7】



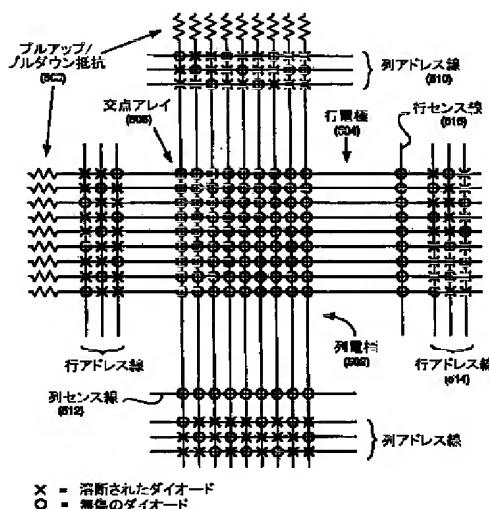
【図8】



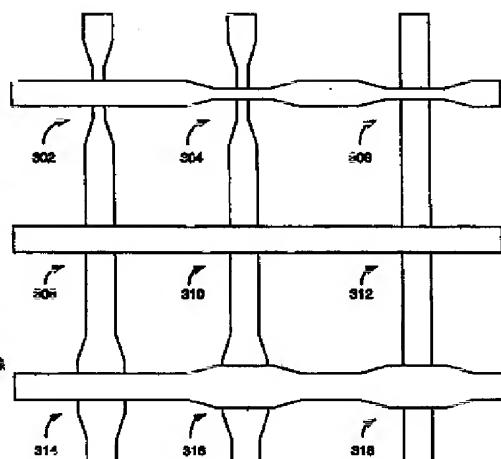
【図9】



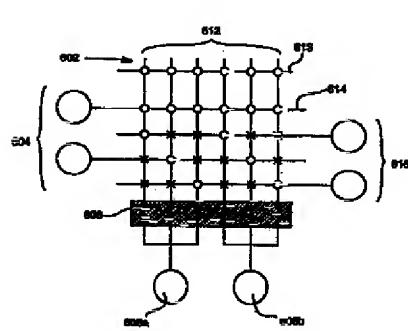
【図10】



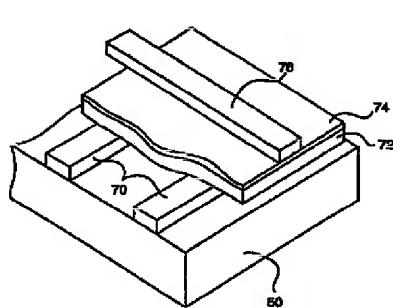
【図11】



【図14】



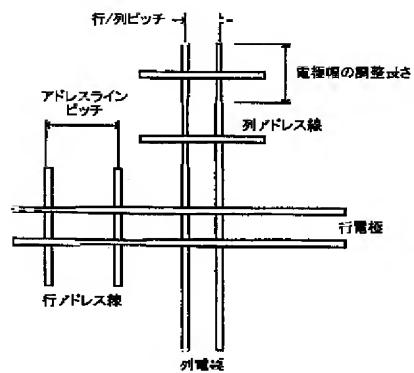
【図15】



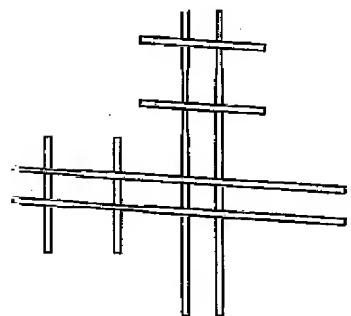
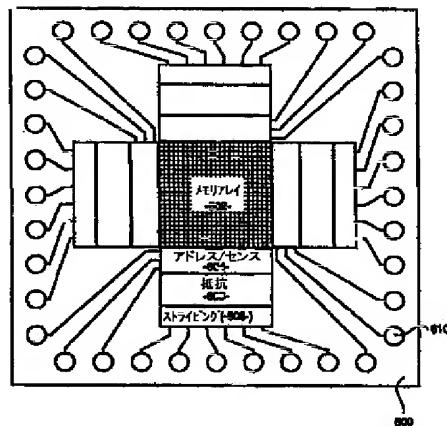
【図25】



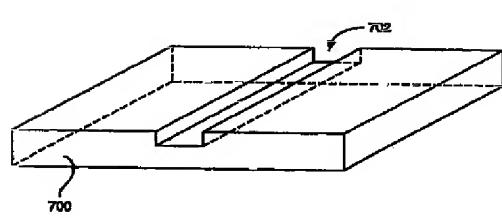
【図12】



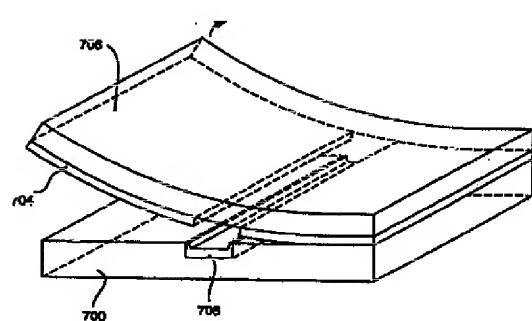
【図13】



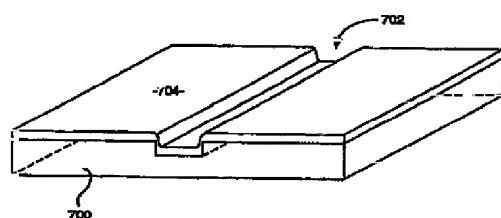
【図16】



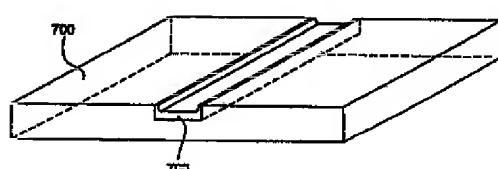
【図18】



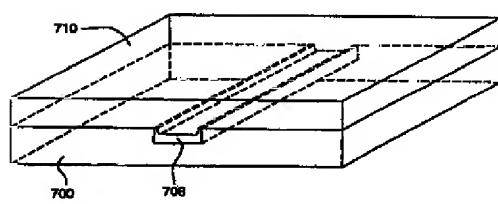
【図17】



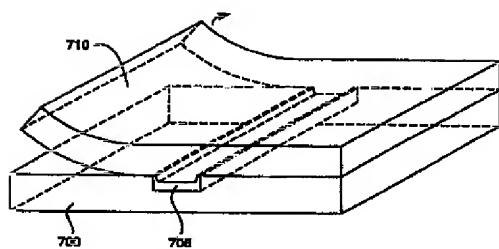
【図19】



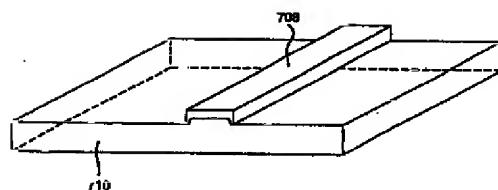
【図20】



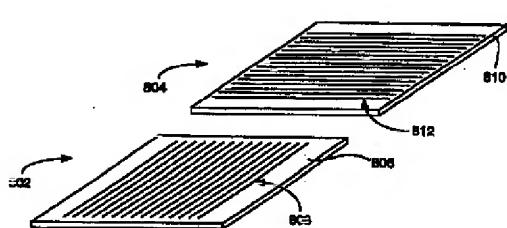
【図21】



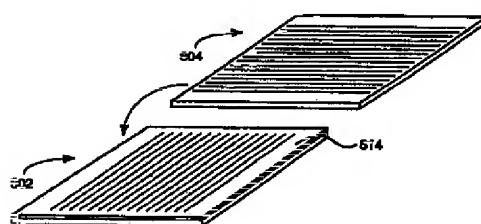
【図22】



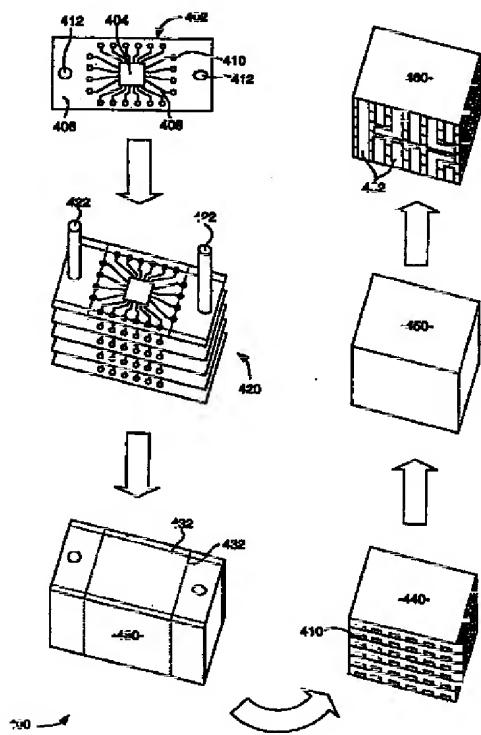
【図23】



【図24】



【図26】



フロントページの続き

(72)発明者 リチャード・エルダー F ターム(参考) 5F083 CR15 ZA23
アメリカ合衆国カリフォルニア州94306,
パロアルト, ラグナ・アベニュー・3743